

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-186157

(43)Date of publication of application : 06.07.2001

(51)Int.Cl.

H04L 12/40

H04L 29/02

(21)Application number : 11-368423

(71)Applicant : NEC CORP

(22)Date of filing : 24.12.1999

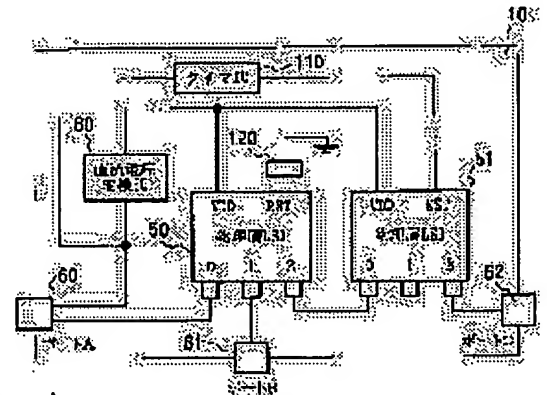
(72)Inventor : DOMON WATARU

## (54) CONNECTION CONTROL DEVICE AND PHYSICAL LAYER LSI AND CONNECTION CONTROL SYSTEM

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To surely establish logical connection between devices intended by users, when utilizing a protocol where logical connection is made on a serial bus.

**SOLUTION:** A PC and a peripheral unit, whose connection establishment is intended, are respectively connected to ports A, B of a connection control device 10. The peripheral unit connected to the port B and a PC, whose connection establishment is not intended, are connected to a port C. A physical layer LSI 50 is connected to the ports A, B, and a physical layer LSI 51 is connected to the port C respectively. Furthermore, an input terminal of a DC voltage conversion IC 80 is connected, so as to be energized from the port A. An output terminal of a timer IC 110 is connected to a reset terminal of the physical layer LSI 51. This physical layer LSI 51 is controlled by the timer IC the LSI 51 is in a reset state, until a prescribed time elapses after the application of power supply from the port A and is brought into a normal operating state, after the lapse of the prescribed time.



## LEGAL STATUS

[Date of request for examination]

14.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3376981

[Date of registration]

06.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] In the serial bus by which said two or more devices are constituted by interconnecting through the port with which a device is equipped It has the 1st and 2nd physical layers LSI based on the specification of said serial bus, a switch, and the switch control means that controls closing motion of said switch. Said switch It is inserted between the power supply terminal of said 1st physical layer LSI, and the power supply terminal of said 2nd physical layer LSI. Said switch control means It is the connection control equipment characterized by performing control which closes said switch after it opens said switch and said time delay passes until the time delay defined after beginning to input forward direct current voltage into the power supply terminal of said 1st physical layer LSI passes.

[Claim 2] In the serial bus by which said two or more devices are constituted by interconnecting through the port with which a device is equipped The 1st and 2nd physical layers LSI based on the specification of said serial bus It has the 1st and 2nd reset control means which control respectively the reset action of said 1st and 2nd physical layers LSI. Said 1st and 2nd reset control means A control signal with which said 1st and 2nd physical layers LSI will be in a reset condition until the 1st and 2nd time delays pass, after beginning to input supply voltage into said 1st and 2nd physical layers LSI A control signal with which said 1st and 2nd physical layers LSI return from a reset condition, and perform normal operation after said 1st and 2nd time delays pass It is the connection control equipment which inputs into the reset terminal of said 1st and 2nd physical layers LSI, respectively, and is characterized by said 2nd time delay being the value which added the time amount beforehand set to said 1st time delay.

[Claim 3] It is the connection control equipment according to claim 1 or 2 which is equipped with a direct-current-voltage conversion means to transform into the supply voltage of said 1st and 2nd physical layers LSI the electrical potential difference inputted into an input terminal, and to output from an output terminal, and is characterized by connecting the input terminal of said direct-current-voltage conversion means with the electric supply terminal of the port where the terminal for data transfer is connected with said 1st physical layer LSI, and which was appointed beforehand.

[Claim 4] It is a connection control equipment given in any 1 term of claim 1 thru/or claim 3 characterized by connecting said link layer LSI with said 1st physical layer LSI by having the link layer LSI which has an interface connectable with the bus for input/output equipment connection of a computer.

[Claim 5] The connection control equipment according to claim 4 characterized by the bus for input/output equipment connection of said computer being a PCI (Peripheral Component Interconnect) bus.

[Claim 6] In the physical layer LSI based on the specification of a serial bus that said two or more devices are constituted by interconnecting through the port with which a device is equipped As opposed to the port beforehand appointed among two or more ports for data signal transmission and reception with which said physical layer LSI is equipped It has the port status control input terminal into which the control signal which controls whether it considers as the disable condition which cannot transmit and receive a data signal, or it considers as the enabling state which can transmit and receive a data signal is inputted. The initial state of said port immediately after supplying a power source to said physical layer LSI appointed beforehand is the physical layer LSI characterized by being in a disable condition.

[Claim 7] In the physical layer LSI based on the specification of a serial bus that said two or more devices are constituted by interconnecting through the port with which a device is equipped A time

amount measurement means to measure the time amount which passed after supplying a power source to said physical layer LSI, It has the port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to the port beforehand appointed among two or more ports for data signal transmission and reception with which said physical layer LSI is equipped, or it considers as the enabling state which can transmit and receive a data signal. Said port appointed beforehand is made into said disable condition until said time amount measurement means shows that the time delay defined beforehand passed, after supplying a power source to said physical layer LSI. It is the physical layer LSI characterized by performing control which makes said port appointed beforehand said enabling state after said time delay passes by said port status control means.

[Claim 8] In the physical layer LSI based on the specification of a serial bus that said two or more devices are constituted by interconnecting through the port with which a device is equipped As opposed to the port beforehand appointed among two or more ports for data signal transmission and reception with which said physical layer LSI is equipped It has the port status control input terminal into which the control signal which controls whether it considers as the disable condition which cannot transmit and receive a data signal, or it considers as the enabling state which can transmit and receive a data signal is inputted. The initial state of said port immediately after supplying a power source to said physical layer LSI appointed beforehand It has the physical layer LSI and the time amount measurement means which are in a disable condition, and a port status control means. Said time amount measurement means Subsequent time amount is measured that supply voltage begins to be inputted into said physical layer LSI. Said port status control means As [ be / after beginning to input supply voltage into said physical layer LSI, until said time amount measurement means shows that the time delay defined beforehand passed / in said disable condition / said port appointed beforehand ] It is the connection control equipment characterized by inputting into said port status control input terminal a control signal with which said port appointed beforehand will be in said enabling state after said time delay passes.

[Claim 9] In the physical layer LSI based on the specification of a serial bus that said two or more devices are constituted by interconnecting through the port with which a device is equipped A time amount measurement means to measure the time amount which passed after supplying a power source to said physical layer LSI, It has the port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to the port beforehand appointed among two or more ports for data signal transmission and reception with which said physical layer LSI is equipped, or it considers as the enabling state which can transmit and receive a data signal. Said port appointed beforehand is made into said disable condition until said time amount measurement means shows that the time delay defined beforehand passed, after supplying a power source to said physical layer LSI. It is the connection control equipment characterized by having the physical layer LSI to which control which makes said port appointed beforehand said enabling state after said time delay passes is performed by said port status control means.

[Claim 10] It is the connection control equipment according to claim 8 or 9 which is equipped with a direct-current-voltage conversion means to transform into the supply voltage of said physical layer LSI the electrical potential difference inputted into an input terminal, and to output from an output terminal, and is characterized by connecting the input terminal of said direct-current-voltage conversion means to the electric supply terminal of the port appointed beforehand.

[Claim 11] It is a connection control equipment given in any 1 term of claim 8 thru/or claim 10 characterized by connecting said link layer LSI with said physical layer LSI by having the link layer LSI which has an interface connectable with the bus for input/output equipment connection of a computer.

[Claim 12] The connection control equipment according to claim 11 characterized by the bus for input/output equipment connection of said computer being a PCI (Peripheral Component Interconnect) bus.

[Claim 13] In the serial bus by which said two or more devices are constituted by interconnecting through the port with which a device is equipped A direct-current-voltage conversion means to transform into the supply voltage of said physical layer LSI the electrical potential difference inputted into the physical layer LSI based on the specification of said serial bus, and an input terminal, and to output from an output terminal, It has a switch and the switch control means which controls closing

motion of said switch. The input terminal of said direct-current-voltage conversion means is connected with the electric supply terminal of the port appointed beforehand. The output terminal of said direct-current-voltage conversion means is connected with one terminal of said switch, and the other-end child of said switch is connected with the power supply terminal of said physical layer LSI. Said switch control means It is the connection control equipment characterized by performing control which closes said switch after it opens said switch and said time delay passes until the time delay defined beforehand passes, after beginning to input forward direct current voltage into the input terminal of said direct-current-voltage conversion means.

[Claim 14] In the serial bus by which said two or more devices are constituted by interconnecting through the port with which a device is equipped A direct-current-voltage conversion means to change and output the electrical potential difference inputted as the physical layer LSI based on the specification of said serial bus to the supply voltage of said physical layer LSI, It has the reset control means which controls the reset action of said physical layer LSI. The input terminal of said direct-current-voltage conversion means is connected with the electric supply terminal of the port appointed beforehand. The output terminal of said direct-current-voltage conversion means is connected with the power supply terminal of said physical layer LSI. Said reset control means A control signal with which said physical layer LSI will be in a reset condition until the time delay defined beforehand passes, after beginning to input forward direct current voltage into the input terminal of said direct-current-voltage conversion means It is the connection control equipment characterized by inputting into the reset terminal of said physical layer LSI a control signal with which said physical layer LSI returns from a reset condition, and performs normal operation after said time delay passes, respectively.

[Claim 15] In the serial bus by which said two or more devices are constituted by interconnecting through the port with which a device is equipped The physical layer LSI based on the 1st, 2nd, and 3rd ports and the specification of said serial bus A topology investigation means to investigate the connection configuration of the device connected to said serial bus, It has the port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to said 3rd port, or it considers as the enabling state which can transmit and receive a data signal. Said topology investigation means investigates the device connection configuration of said serial bus, whenever the initialization procedure of said serial bus is completed, and other devices are connected to said 1st port, When it is detected with the result of said investigation that the new device which was not connected before the initialization procedure of said serial bus was started is connected after said 2nd port, The connection control equipment characterized by performing control said whose port status control means make into a disable condition only the time delay which was able to appoint said 3rd port beforehand, and makes said 3rd port enabling state after said time delay passes by said port status control means.

[Claim 16] In the serial bus by which said two or more devices are constituted by interconnecting through the port with which a device is equipped the — with the physical layer LSI based on the 1 2nd and 3rd ports, and the specification of said serial bus A topology investigation means to investigate the connection configuration of the device connected to said serial bus, The port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to said 3rd port, or it considers as the enabling state which can transmit and receive a data signal, It has a data analysis means to receive and analyze the data signal which transmits said serial bus. Said topology investigation means Whenever the initialization procedure of said serial bus is completed, the device connection configuration of said serial bus is investigated, and other devices are connected to said 1st port, When it is detected with the result of said investigation that the new device which was not connected is connected after said 2nd port before the initialization procedure of said serial bus was started Said port status control means makes said 3rd port the disable condition. Henceforth, Logical handshaking performed between the device connected to said 1st port and the device connected after said 2nd port is analyzed. The connection control equipment characterized by performing control said whose port status control means makes said 3rd port enabling state when said logical handshaking is completed.

[Claim 17] A connection control equipment given in any 1 term of claim 1 thru/or claim 5 characterized

by basing said serial bus on IEEE1394 specification, claim 8, or claim 16.

[Claim 18] Said serial bus is based on IEEE1394 specification, and said logical handshaking is the serial bus protocol 2. Connection control equipment according to claim 16 characterized by being a login procedure based on specification (SBP-2).

[Claim 19] The physical layer LSI according to claim 6 or 7 characterized by basing said serial bus on IEEE1394 specification.

[Claim 20] In the serial bus by which said two or more devices are constituted by interconnecting through the port with which a device is equipped The 1st, 2nd, and 3rd ports and the 1st control equipment equipped with the physical layer LSI based on the specification of said serial bus at least, A topology investigation means to investigate the connection configuration of the device connected to said serial bus, It consists of the 2nd control equipment equipped with the port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to said 3rd port, or it considers as the enabling state which can transmit and receive a data signal at least. Said 2nd control equipment It connects after said 1st port or said 2nd port. Said topology investigation means Whenever the initialization procedure of said serial bus is completed, the device connection configuration of said serial bus is investigated, and the device except said 2nd control equipment is connected to said 1st port, When it is detected with the result of said investigation that the new device except said 2nd control equipment which was not connected before the initialization procedure of said serial bus was started is connected after said 2nd port, The connection control system characterized by performing control said whose port status control means make into a disable condition only the time delay which was able to appoint said 3rd port beforehand, and makes said 3rd port enabling state after said time delay passes by said port status control means.

[Claim 21] In the serial bus by which said two or more devices are constituted by interconnecting through the port with which a device is equipped The 2nd and 3rd ports and the 1st control equipment equipped with the physical layer LSI based on the specification of said serial bus at least, A topology investigation means to investigate the connection configuration of the device connected to said serial bus, The port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to said 3rd port, or it considers as the enabling state which can transmit and receive a data signal, It consists of the 2nd control equipment equipped with a data analysis means to receive and analyze the data signal which transmits said serial bus, at least. Said 2nd control equipment Connect after said 1st port or said 2nd port, and said topology investigation means investigates the device connection configuration of said said serial bus, whenever the initialization procedure of said serial bus is completed. The device except said 2nd control equipment is connected to said 1st port, When it is detected with the result of said investigation that the new device except said 2nd control equipment which was not connected before the initialization procedure of said serial bus was started is connected after said 2nd port, Said port status control means makes said 3rd port the disable condition. Henceforth, Logical handshaking performed between the device connected to said 1st port and the device connected after said 2nd port is analyzed. The connection control system characterized by performing control said whose port status control means makes said 3rd port enabling state when said logical handshaking is completed.

[Claim 22] The connection control system according to claim 20 or 21 characterized by basing said serial bus on IEEE1394 specification.

[Claim 23] Said serial bus is based on IEEE1394 specification, and said logical handshaking is the serial bus protocol 2. Connection control system according to claim 22 characterized by being a login procedure based on specification (SBP-2).

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

**[0001]**

**[Field of the Invention]** This invention relates to the connection control equipment, the physical layer LSI, and the connection control system which control the establishment of logical connection of a protocol which performs data communication between the devices by which logical connection was established especially on these serial buses about the electronic equipment or the system which has serial bus interfaces, such as IEEE1394 specification or Universal-Serial-Bus (USB) specification.

**[0002]**

**[Description of the Prior Art]** In addition to the asynchronous transfer mode which can check the success or failure of a transfer, IEEE1394 specification (it is hereafter described as 1394) which is the high performance serial bus specification of having the fast transmission capacity of S100 (per second 100 megabits), S200 (per second 200 megabits), and S400 (per second 400 megabits) is supporting the isochronous transfer mode which guarantees a transfer band, although low delay characteristics are not guaranteed. Therefore, although standardized from the first as a peripheral device of a \*\* personal computer (it is hereafter described as PC), it is promising also as an interface for household-electric-appliances devices treating a digital animation, and attention is attracted as an interface for multimedia information carried in the both sides of PC and a household-electric-appliances device.

**[0003]** The application which connects the peripheral device for PC connected using the parallel port with which PC was equipped conventionally, the serial port, or the SCSI (Small ComputerSystem Interface) interface using IEEE1394 can be considered as an object for PC among the above applications expected from IEEE1394 specification. It is [ current ] whether some specification for using it by 1394; connecting a peripheral device and PCs, such as are recording devices, such as a hard disk drive, and a printer, a scanner, is actually created, and under creation.

**[0004]** Serial bus protocol which can perform data transfer of SCSI specification on 1394 among such specification Two The outline of specification (it is hereafter described as SBP-2) is explained. In ANSI (American National Standards Institute), as for this specification, standardization is already completed as ANSINCITS 325-1998.

**[0005]** SBP-2 are the specification for communicating the condition of data or a device between the communication equipment connected to IEEE1394. In SBP-2, the device which requires these communication links is called an initiator (initiator), and the device which receives the communication link demand from an initiator and performs actuation according to it is called a target (target). While performing data communication, between the initiator and the target, logical connection (it is hereafter called a connection) needs to be established, and the access protocol for it is specified. An access protocol consists of log outs (logout) which release the RIKONE cushion (reconnection) which are the log in (login) which is the procedure of establishing a connection, and a procedure for continuing a connection and making it established also after bus reset occurs into an IEEE1394 bus and a bus is reconfigured, and a connection.

**[0006]** Hereafter, a login procedure is briefly explained using drawing 25. A login procedure is started from an initiator requiring a log in from a target. Drawing 25 shows the login procedure of an initiator. An

initiator investigates first whether the target device of SBP-2 is connected to the bus in procedure S3-1. Concretely, this reads the configuration ROM of each device connected to a bus, and is performed by analyzing the contents. This configuration ROM is read-only memory in which the high order application which the function as an IEEE1394 node with which each device is equipped, an identifier, and its device support is stored.

[0007] An example of the configuration ROM with which the target device of SBP-2 is equipped is shown in drawing 26. A configuration ROM should consist of Root\_directory Bus\_info\_block the identifier given to the capacity which it has as an IEEE1394 device, and a device is indicated to be, the directory configuration of a configuration ROM, etc. are indicated to be, Unit\_directory the high order application which a device supports is described to be, and set it to the CSR (Control and Status Registers) space which 1394 has adopted as an address space. It is stored after the address "FFFF F000 0400" (hexadecimal).

[0008] It is described by Unit\_directory in this configuration ROM that it is the target device of SBP-2. The information is indicated by two, unit\_spec\_id in Unit\_directory, and unit\_sw\_version, and if these values are "00 609E" (hexadecimal) and "01 0483" (hexadecimal), respectively, more specifically, the device is a target device of SBP-2. Some parameters as SBP-2 device are indicated by Unit\_directory in the configuration ROM of the target device of SBP-2 in addition to these fields. For example, the offset value in the CSR space of a MANAGEMENT\_AGENT register which is the register used for csr\_offset in case an initiator notifies requiring initiation of a login procedure to a target is shown. Or the value of Logical\_Unit\_Number which in the device being equipped with two or more hard disks etc. is used in order to identify them is indicated by Unit\_directory.

[0009] Read-out of the configuration ROM explained above is performed by procedure S3-1 shown in drawing 25, and when the target device of SBP-2 by which the connection is not yet established is detected, an initiator shifts to procedure S3-2. When not detected, since it is not necessary to perform a login procedure, it ends. In addition, the initiator itself which is performing the procedure shown in drawing 25 is the device which has not established the connection, and it does not understand it to be set as the object of this detection whether the connection established among other initiators connected on the same IEEE1394 bus is in that target device only by reading a configuration ROM.

[0010] In procedure S3-2 shown in drawing 25, a login procedure is performed between the detected target devices. The detail of a login procedure is shown in drawing 27. First, in procedure S4 -1, the parameter at the time of logging in is indicated, and an initiator writes the storing address of the log in request which the initiator stores in the MANAGEMENT\_AGENT register of a target. The address of a MANAGEMENT\_AGENT register is written to the configuration ROM of a target device as it was described above. In continuing procedure S4 -2 and procedure S4 -3, to the address written to this MANAGEMENT\_AGENT register, it reads from a target to an initiator, a demand is sent, and that response is transmitted continuously. A format of the log in request transmitted to a target from an initiator in procedure S4 -3 is shown in drawing 28.

[0011] A log in request is data with the length of 32 bytes as shown in drawing 28. Here, some fields of the inside shown in drawing are explained. The login\_response field and the login\_response\_length field specify the address and size of memory at the time of a target writing a log in response in an initiator in processing of procedure S4 -6. An exclusive bit (abbreviated to x in drawing 28 notation) expresses the exclusivity of a log in demanded, if it is "1", it will require an exclusive log in, and if it is "0", it permits two or more coincidence log ins to a target. The function field expresses the classification of a demand and it is shown that "0" is a log in demand. The status\_FIFO field specifies the address of the memory at the time of a target writing the processing result of a log in demand in an initiator in processing of procedure S4 -7.

[0012] If processing of procedure S4 -3 is completed, in continuing procedure S4 -4 and procedure S4 -5, a target will read GUID (Global Unique Identifier) of an initiator. GUID is the 64-bit identifier uniquely assigned to each IEEE1394 device, and combines node\_vendor\_id and chip\_id\_hi which are stored in Bus\_info\_block shown in drawing 26, and chip\_id\_lo. GUID is used in order for the 16-bit node ID used for



the destination device ID at the time of a packet transfer and the transmitting agency device ID to specify a device to a value changing according to the connection situation of a device etc., since this GUID is eternal.

[0013] In processing of continuing procedure S4 -6, a target writes the log in response of the format shown in drawing 29 in an initiator. Here, some FIRUDO of the inside shown in drawing is explained. login\_ID is a value used as an identifier which shows this log in at the time of subsequent data transfer. The base address of the command block agent register group used at the time of data transfer is stored in command\_block\_agent.

[0014] If processing of procedure S4 -6 is completed, in processing of continuing procedure S4 -7, a target will write in the status block (status block) with which the result of the processing to a log in demand was stored in status\_FIFO of an initiator. A format of a status block is shown in drawing 30. Here, some fields of the inside shown in drawing are explained. The resp field is the field to show whether processing to a demand was performed correctly. For example, when a value is "0", the processing to a demand having been mistaken and having performed that there is nothing is shown. However, this does not mean [ in which the log in demand succeeded / or or ] whether a mistake was made, and the information is expressed to the sbp\_status field. ORB\_offset\_hi and ORB\_offset\_lo mean to which demand the processing result currently written to this status block corresponds, for example, in a log in demand, the storing address of the log in request written in the MANAGEMENT\_AGENT register of a target in the processing of procedure S4 -1 shown in drawing 27 is indicated in these fields.

[0015] The processing of procedure S3-2 shown in drawing 25 by processing of this procedure S4 -7 is completed. If it is written to the status block that the log in demand was successful, a connection will be established, and a connection will not be established if the demand has gone wrong. In addition, when a log in demand goes wrong, the procedure which writes in the status block with which sbp\_status which shows demand failure after the processing of procedure S4 -3 shown in drawing 27 was contained is performed in processing of procedure S4 -7, and a procedure in the meantime is not performed.

[0016] Then, the RIKONE cushion procedure specified as one of the access protocols is also explained briefly here. As above-mentioned, a RIKONE cushion procedure is a procedure for continuing a connection and making it established, also after bus reset occurs into an IEEE1394 bus and a bus is reconfigured. This procedure is shown in drawing 31. In advance of the procedure shown in this drawing, like the login procedure shown in drawing 25, an initiator reads the configuration ROM of each device connected to a bus, and searches the target device which had established the connection before bus reset. Although it is before and after bus reset and Node ID may change, since GUID indicated by the configuration ROM does not change, it is applicable to retrieval of a device. Here, retrieval of the device set as the object of a RIKONE cushion performs the procedure shown in drawing 31.

[0017] The processings from procedure S5-1 to procedure S5-3 shown in drawing 31 are the same as that of the login procedure shown in drawing 27. RIKONE cushion processing is started by the procedure (procedure S5-1) in which an initiator writes the address of a RIKONE cushion request in the MANAGEMENT\_AGENT register of a target, and an initiator transmits a RIKONE cushion request according to the read-out demand (procedure S5-2) of the RIKONE cushion request from a target (procedure S5-3). A format of a RIKONE cushion request is shown in drawing 32. In the case of a RIKONE cushion, the value of the function field is set to "3." Moreover, when logged in, login\_ID notified from the target is also stored.

[0018] If processing of procedure S5-3 is completed, in the continuing processing of procedure S5-4 and procedure S5-5, a target will read GUID of an initiator. It is read in order to check whether this correspondence has changed since correspondence of login\_ID and GUID is once made at the time of a log in. If read-out processing of GUID is completed, in procedure S5-6, the demand processing result of status\_FIFO of an initiator will be written in, and a RIKONE cushion procedure will be completed. This procedure is the same as the processing (procedure S4 -7 of drawing 27) in a login procedure. By carrying out, before a RIKONE cushion carries out the time-out of the RIKONE cushion procedure described above, it can prevent the connection established once being released by bus reset.

[0019]

[Problem(s) to be Solved by the Invention] As explained above, SBP-2 are the specification for connecting a PC peripheral by IEEE1394 bus. The device by which it has the intention of a connection being established only between specific PCs is in this PC peripheral. For example, external hard disk equipment is considered that operating only as a disk drive of specific PC is expected. However, when two or more PCs are connected to the IEEE1394 bus, a connection will be established between PCs in which the login procedure was previously made successful. It is the problem of a probability that which PC makes a login procedure previously successful, and it is changed for whenever [ of connection of a device or starting / every ]. Although a procedure with authentication with a password also exists in a login procedure as for a specification top as mentioned above, this procedure is not supported by the device which has come out to the current commercial scene. Thus, there was a problem that the initiator which establishes a target and a connection could not be specified in SBP-2 device marketed now.

[0020] This invention is made in view of the above-mentioned situation. In the serial bus constituted by said two or more devices interconnecting through the port where a device is equipped with the purpose It has the 1st and 2nd physical layers LSI based on the specification of a serial bus, a switch, and the switch control means that controls closing motion of a switch. A switch It is inserted between the power supply terminal of the 1st physical layer LSI, and the power supply terminal of the 2nd physical layer LSI. A switch control means By performing control which closes a switch after it opens a switch and the aforementioned time delay passes until the time delay defined after beginning to input forward direct current voltage into the power supply terminal of the 1st physical layer LSI passes It is offering the connection control equipment which can establish a connection certainly between the initiators meant by the user.

[0021] Moreover, it sets to the physical layer LSI based on the specification of a serial bus that said two or more devices are constituted by interconnecting through the port with which a device is equipped. As opposed to the port beforehand appointed among two or more ports for data signal transmission and reception with which the physical layer LSI is equipped It has the port status control input terminal into which the control signal which controls whether it considers as the disable condition which cannot transmit and receive a data signal, or it considers as the enabling state which can transmit and receive a data signal is inputted. The initial state of said port immediately after supplying a power source to the physical layer LSI appointed beforehand Also let it be the purpose to offer the physical layer LSI which can establish a connection certainly between the initiators meant by the user by supposing that it is in a disable condition.

[0022] In this serial bus Furthermore, the 1st, 2nd, and 3rd ports, The 1st control equipment equipped with the physical layer LSI based on the specification of a serial bus at least, A topology investigation means to investigate the connection configuration of the device connected to a serial bus, It consists of the 2nd control equipment equipped with the port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to the 3rd port, or it considers as the enabling state which can transmit and receive a data signal at least. The 2nd control equipment is connected after the 1st port or the 2nd port. A topology investigation means Whenever the initialization procedure of a serial bus is completed, the device connection configuration of a serial bus is investigated, and the device except the 2nd control equipment is connected to the 1st port, When it is detected with the result of said investigation that the new device except the 2nd control equipment which was not connected before the initialization procedure of a serial bus was started is connected after the 2nd port, Only the time delay which was able to appoint the 3rd port beforehand is made into a disable condition. By supposing that control whose port status control means makes the 3rd port enabling state after the aforementioned time delay passes is performed by the port status control means Also let it be the purpose to offer the connection control system which can establish a connection certainly between the initiators meant by the user.

[0023]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem a connection control equipment according to claim 1 In the serial bus by which said two or more devices are constituted by interconnecting through the port with which a device is equipped It has the 1st and 2nd physical layers LSI based on the specification of said serial bus, a switch, and the switch control means that controls closing motion of said switch. Said switch It is inserted between the power supply terminal of said 1st physical layer LSI, and the power supply terminal of said 2nd physical layer LSI. Said switch control means We decided to perform control which closes said switch after it opens said switch and said time delay passes until the time delay defined after beginning to input forward direct current voltage into the power supply terminal of said 1st physical layer LSI passes.

[0024] In the serial bus constituted by said two or more devices interconnecting through the port where a device is equipped with a connection control equipment according to claim 2 The 1st and 2nd physical layers LSI based on the specification of said serial bus It has the 1st and 2nd reset control means which control respectively the reset action of said 1st and 2nd physical layers LSI. Said 1st and 2nd reset control means A control signal with which said 1st and 2nd physical layers LSI will be in a reset condition until the 1st and 2nd time delays pass, after beginning to input supply voltage into said 1st and 2nd physical layers LSI A control signal with which said 1st and 2nd physical layers LSI return from a reset condition, and perform normal operation after said 1st and 2nd time delays pass It inputted into the reset terminal of said 1st and 2nd physical layers LSI, respectively, and it was presupposed that it is said 2nd time delay the value which added the time amount beforehand set to said 1st time delay.

[0025] Moreover, the connection control equipment according to claim 3 was equipped with a direct-current-voltage conversion means transforms into the supply voltage of said 1st and 2nd physical layers LSI the electrical potential difference inputted into an input terminal in a connection control equipment according to claim 1 or 2, and output from an output terminal, and it was presupposed that the input terminal of said direct-current-voltage conversion means is connected with the electric-supply terminal of the port where the terminal for data transfer is connected with said 1st physical layer LSI and which was appointed beforehand. Furthermore, the connection control equipment according to claim 4 was equipped with the link layer LSI which has an interface connectable with the bus for input/output equipment connection of a computer in the connection control equipment given in any 1 term of claim 1 thru/or claim 3, and it was presupposed that said link layer LSI is connected with said 1st physical layer LSI. Moreover, the connection control equipment according to claim 5 decided that the bus for input/output equipment connection of said computer is a PCI (Peripheral Component Interconnect) bus in this approach according to claim 4.

[0026] In the physical layer LSI to which said two or more devices were based on the specification of the serial bus constituted by interconnecting through the port where a device is equipped with the physical layer LSI according to claim 6 As opposed to the port beforehand appointed among two or more ports for data signal transmission and reception with which said physical layer LSI is equipped It has the port status control input terminal into which the control signal which controls whether it considers as the disable condition which cannot transmit and receive a data signal, or it considers as the enabling state which can transmit and receive a data signal is inputted. It was presupposed that it is in a disable condition the initial state of said port immediately after supplying a power source to said physical layer LSI appointed beforehand.

[0027] In the physical layer LSI to which said two or more devices were based on the specification of the serial bus constituted by interconnecting through the port where a device is equipped with the physical layer LSI according to claim 7 A time amount measurement means to measure the time amount which passed after supplying a power source to said physical layer LSI, It has the port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to the port beforehand appointed among two or more ports for data signal transmission and reception with which said physical layer LSI is equipped, or it considers as the enabling state which can transmit and receive a data signal. Said port appointed beforehand is made into said disable condition until said time amount measurement means shows that the time delay defined beforehand passed, after

supplying a power source to said physical layer LSI. We decided that control which makes said port appointed beforehand said enabling state after said time delay passes is performed by said port status control means.

[0028] In the physical layer LSI to which said two or more devices were based on the specification of the serial bus constituted by interconnecting through the port where a device is equipped with a connection control equipment according to claim 8 As opposed to the port beforehand appointed among two or more ports for data signal transmission and reception with which said physical layer LSI is equipped It has the port status control input terminal into which the control signal which controls whether it considers as the disable condition which cannot transmit and receive a data signal, or it considers as the enabling state which can transmit and receive a data signal is inputted. The initial state of said port immediately after supplying a power source to said physical layer LSI appointed beforehand It has the physical layer LSI and the time amount measurement means which are in a disable condition, and a port status control means. Said time amount measurement means Subsequent time amount is measured that supply voltage begins to be inputted into said physical layer LSI. Said port status control means As [ be / after beginning to input supply voltage into said physical layer LSI, until said time amount measurement means shows that the time delay defined beforehand passed / in said disable condition / said port appointed beforehand ] We decided to input into said port status control input terminal a control signal with which said port appointed beforehand will be in said enabling state after said time delay passes.

[0029] In the physical layer LSI to which said two or more devices were based on the specification of the serial bus constituted by interconnecting through the port where a device is equipped with a connection control equipment according to claim 9 A time amount measurement means to measure the time amount which passed after supplying a power source to said physical layer LSI, It has the port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to the port beforehand appointed among two or more ports for data signal transmission and reception with which said physical layer LSI is equipped, or it considers as the enabling state which can transmit and receive a data signal. Said port appointed beforehand is made into said disable condition until said time amount measurement means shows that the time delay defined beforehand passed, after supplying a power source to said physical layer LSI. The control which makes said port appointed beforehand said enabling state after said time delay passes decided to have the physical layer LSI performed by said port status control means.

[0030] The connection control equipment according to claim 10 was equipped with a direct-current-voltage conversion means to transform into the supply voltage of said physical layer LSI the electrical potential difference inputted into an input terminal in a connection control equipment according to claim 8 or 9, and to output from an output terminal, and it was presupposed that the input terminal of said direct-current-voltage conversion means is connected with the electric supply terminal of the port appointed beforehand. Moreover, the connection control equipment according to claim 11 was equipped with the link layer LSI which has an interface connectable with the bus for input/output equipment connection of a computer in the connection control equipment given in any 1 term of claim 8 thru/or claim 10, and it was presupposed that said link layer LSI is connected with said physical layer LSI. Furthermore, the connection control equipment according to claim 12 decided that the bus for input/output equipment connection of said computer is a PCI (Peripheral Component Interconnect) bus in the connection control equipment according to claim 11.

[0031] In the serial bus constituted by said two or more devices interconnecting through the port where a device is equipped with a connection control equipment according to claim 13 A direct-current-voltage conversion means to transform into the supply voltage of said physical layer LSI the electrical potential difference inputted into the physical layer LSI based on the specification of said serial bus, and an input terminal, and to output from an output terminal, It has a switch and the switch control means which controls closing motion of said switch. The input terminal of said direct-current-voltage conversion means is connected with the electric supply terminal of the port appointed beforehand. The

output terminal of said direct-current-voltage conversion means is connected with one terminal of said switch, and the other-end child of said switch is connected with the power supply terminal of said physical layer LSI. Said switch control means We decided to perform control which closes said switch after it opens said switch and said time delay passes until the time delay defined beforehand passes, after beginning to input forward direct current voltage into the input terminal of said direct-current-voltage conversion means.

[0032] In the serial bus constituted by said two or more devices interconnecting through the port where a device is equipped with a connection control equipment according to claim 14 A direct-current-voltage conversion means to change and output the electrical potential difference inputted as the physical layer LSI based on the specification of said serial bus to the supply voltage of said physical layer LSI, It has the reset control means which controls the reset action of said physical layer LSI. The input terminal of said direct-current-voltage conversion means is connected with the electric supply terminal of the port appointed beforehand. The output terminal of said direct-current-voltage conversion means is connected with the power supply terminal of said physical layer LSI. Said reset control means A control signal with which said physical layer LSI will be in a reset condition until the time delay defined beforehand passes, after beginning to input forward direct current voltage into the input terminal of said direct-current-voltage conversion means It was presupposed that a control signal with which said physical layer LSI returns from a reset condition, and performs normal operation after said time delay passes is inputted into the reset terminal of said physical layer LSI, respectively.

[0033] In the serial bus constituted by said two or more devices interconnecting through the port where a device is equipped with a connection control equipment according to claim 15 The physical layer LSI based on the 1st, 2nd, and 3rd ports and the specification of said serial bus A topology investigation means to investigate the connection configuration of the device connected to said serial bus, It has the port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to said 3rd port, or it considers as the enabling state which can transmit and receive a data signal. Said topology investigation means investigates the device connection configuration of said serial bus, whenever the initialization procedure of said serial bus is completed, and other devices are connected to said 1st port, When it is detected with the result of said investigation that the new device which was not connected before the initialization procedure of said serial bus was started is connected after said 2nd port, Only the time delay which was able to appoint said 3rd port beforehand was made into the disable condition, and after said time delay passed, said port status control means decided that control which makes said 3rd port enabling state is performed by said port status control means.

[0034] In the serial bus constituted by said two or more devices interconnecting through the port where a device is equipped with a connection control equipment according to claim 16 the — with the physical layer LSI based on the 1 2nd and 3rd ports, and the specification of said serial bus A topology investigation means to investigate the connection configuration of the device connected to said serial bus, The port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to said 3rd port, or it considers as the enabling state which can transmit and receive a data signal, It has a data analysis means to receive and analyze the data signal which transmits said serial bus. Said topology investigation means Whenever the initialization procedure of said serial bus is completed, the device connection configuration of said serial bus is investigated, and other devices are connected to said 1st port, When it is detected with the result of said investigation that the new device which was not connected is connected after said 2nd port before the initialization procedure of said serial bus was started Said port status control means makes said 3rd port the disable condition. Henceforth, When logical handshaking performed between the device connected to said 1st port and the device connected after said 2nd port was analyzed and said logical handshaking was completed, said port status control means decided that control which makes said 3rd port enabling state is performed.

[0035] Moreover, the connection control equipment according to claim 17 decided that said serial bus is

based on IEEE1394 specification in the connection control equipment given in any 1 term of claim 1 thru/or claim 5, claim 8, or claim 16. Furthermore, for a connection control equipment according to claim 18, in a connection control equipment according to claim 16, said serial bus is based on IEEE1394 specification, and said logical handshaking is the serial bus protocol 2. We decided to be a login procedure based on specification (SBP-2). Moreover, the connection control equipment according to claim 19 decided that said serial bus is based on IEEE1394 specification in claim claim 6 or the connection control equipment according to claim 7.

[0036] In the serial bus constituted by said two or more devices interconnecting through the port where a device is equipped with a connection control system according to claim 20 The 1st, 2nd, and 3rd ports and the 1st control equipment equipped with the physical layer LSI based on the specification of said serial bus at least, A topology investigation means to investigate the connection configuration of the device connected to said serial bus, It consists of the 2nd control equipment equipped with the port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to said 3rd port, or it considers as the enabling state which can transmit and receive a data signal at least. Said 2nd control equipment It connects after said 1st port or said 2nd port. Said topology investigation means Whenever the initialization procedure of said serial bus is completed, the device connection configuration of said serial bus is investigated, and the device except said 2nd control equipment is connected to said 1st port, When it is detected with the result of said investigation that the new device except said 2nd control equipment which was not connected before the initialization procedure of said serial bus was started is connected after said 2nd port, Only the time delay which was able to appoint said 3rd port beforehand was made into the disable condition, and after said time delay passed, said port status control means decided that control which makes said 3rd port enabling state is performed by said port status control means.

[0037] In the serial bus constituted by said two or more devices interconnecting through the port where a device is equipped with a connection control system according to claim 21 The 2nd and 3rd ports and the 1st control equipment equipped with the physical layer LSI based on the specification of said serial bus at least, A topology investigation means to investigate the connection configuration of the device connected to said serial bus, The port status control means which controls whether it considers as the disable condition which cannot transmit and receive a data signal to said 3rd port, or it considers as the enabling state which can transmit and receive a data signal, It consists of the 2nd control equipment equipped with a data analysis means to receive and analyze the data signal which transmits said serial bus, at least. Said 2nd control equipment Connect after said 1st port or said 2nd port, and said topology investigation means investigates the device connection configuration of said said serial bus, whenever the initialization procedure of said serial bus is completed. The device except said 2nd control equipment is connected to said 1st port, When it is detected with the result of said investigation that the new device except said 2nd control equipment which was not connected before the initialization procedure of said serial bus was started is connected after said 2nd port, Said port status control means makes said 3rd port the disable condition. Henceforth, When logical handshaking performed between the communication equipment connected with the device connected to said 1st port after said 2nd port was analyzed and said logical handshaking was completed, said port status control means decided that control which makes said 3rd port enabling state is performed.

[0038] Moreover, in the connection control system according to claim 20 or 21, it was presupposed to the connection control system according to claim 22 that said serial bus is based on IEEE1394 specification. Furthermore, for a connection control system according to claim 23, in a connection control system according to claim 22, said serial bus is based on IEEE1394 specification, and said logical handshaking is the serial bus protocol 2. We decided to be a login procedure based on specification (SBP-2).

[0039] As mentioned above, the connection control equipment consisted of the two physical layers LSI, six pin connectors, direct-current-voltage conversion IC, a timer IC, and a capacitor, and is equipped with Ports A, B, and C. PC and the peripheral device with which establishing a connection was meant



are connected to Ports A and B, respectively, and PC with which it does not have the intention of establishing the peripheral device connected to Port B and a connection is connected to Port C in them. For Ports A and B, the physical layer LSI and Port C are the physical layer LSI. It connects, respectively. Moreover, the input terminal of the direct-current-voltage conversion IC is connected so that electric power may be supplied from Port A, and the output terminal of Timer IC is connected to the reset terminal of the physical layer LSI. This physical layer LSI It is Timer IC so that it may be in a normal operation condition, after it is in a reset condition and fixed time amount passes until fixed time amount passes, after starting electric supply from Port A. It is controlled. In case the protocol with which logical connection is made on a serial bus is used by this, it becomes possible to make logical connection establish certainly between the communication equipment which the user meant.

[0040]

[Embodiment of the Invention] It explains to a detail, referring to a drawing about the gestalt of operation of this invention below. Drawing 1 is drawing showing the connection configuration of the IEEE1394 bus in the gestalt of operation of the 1st of this invention. Here, with the connection control equipment 10, it reaches PC 20 and IEEE1394 bus system is constituted by 21, a hard disk drive unit 30, and the bus analyzers 40 and 41. It reaches PC 20, and 21 has 1394 connectors of six pins and has the capacity used with the gestalt of this invention operation to supply electric power to an IEEE1394 bus. Here, the connection approach of the terminal of the connector standardized by IEEE1394 and other components is briefly explained using drawing 2.

[0041] In IEEE1394, six pin connectors 60 as shown in drawing are standardized. a terminal for both four terminals (terminal numbers 3-6) to transmit the data signal and strobe signal which are a differential signal among six terminals — it is — the inside of a device — this aforementioned terminal of physical layer LSI 50 — moreover, a cable 70 is connected with the twisted pair wire of the interior, respectively. On the other hand, the two remaining terminals (terminal numbers 1 and 2) are terminals for supplying electric power through a cable. Each device may have the both sides or one side of the capacity to supply electric power to other devices, and the function for electric power to be supplied from other devices and to operate, and does not both need to have it. The example of a power circuit configuration with the both sides of the capacity to supply electric power to other devices, and the function for electric power to be supplied from other devices and to operate is shown by the example shown in drawing 2.

[0042] First, when supplying electric power to other devices, after the electric supply electrical potential difference outputted from the voltage source 90 with which oneself is equipped goes via diode 100, it is outputted to a cable 70 through the terminal of the terminal number of No. 1 of six pin connectors 60. By 1394 specification, the electric supply electrical-potential-difference value outputted to a cable is specified as within the limits of 8V to 40V. After the output of diode 100 is inputted into direct-current-voltage conversion IC 80 with which oneself equips coincidence and is changed into the supply voltage of physical layer LSI 50, it is inputted into physical layer LSI 50. On the other hand, when electric power is supplied from other devices through a cable 70, the electric supply electrical potential difference inputted from the terminal of the terminal number of No. 1 of six pin connectors 60 is inputted into the direct-current-voltage conversion IC 80. Since it is prevented by diode 100 that this electric supply electrical potential difference is impressed to the output terminal of a voltage source 90, a voltage source 90 does not break. Even when a device is not on with the above configurations, it can operate by electric supply from other devices. In addition, in IEEE P1394a which is the extended specification under current deliberations, the connector of four pins which attained the miniaturization except for two terminals for electric supply is also incorporated in draft specification.

[0043] The hard disk drive unit 30 used here is a peripheral device for PC based on SBP-2 specification. It has the intention of this hard disk drive unit 30 functioning as a disk drive of PC 20, and it gets down, the protocol of SBP-2 itself does not guarantee as a which disk drive of PC20 and PC21 a hard disk drive unit 30 is set up, but it serves as a disk drive of PC in which the login procedure was previously made successful to a hard disk drive unit 30. The connection control equipment 10 is added in such an

environment for the purpose of making it make it the disk drive of PC which the hard disk drive unit 30 meant become certain. Although it can specifically become the connection place of this peripheral device in the port A of the connection control equipment 10 about PC meant with the connection place of this peripheral device in the peripheral device of PC in the port B of the connection control equipment 10, a connection place is given to the purpose by connecting to Port C the device whose intention it does not have, respectively. The device which cannot serve as a connection place to a peripheral device may be connected to any port. \*\* — \*\*\*\* — in the gestalt of this invention operation, PC 20, a hard disk drive unit 30, and PC 21 are connected to Port A, Port B, and Port C of the connection control equipment 10, respectively.

[0044] In addition, the IEEE1394 bus analyzers 40 and 41 are measuring instruments which have the function which displays the connection situation of the device in an IEEE1394 bus on a display, or receives the packet to which a bus top is transmitted and displays it on a display, reach PC 20, respectively and are connected to 21.

[0045] The internal configuration of the connection control equipment 10 is shown in drawing 3. The connection control equipment 10 reaches IEEE1394 physical layer LSI 50, and consists of 51, and direct-current-voltage conversion IC 80, timer IC 110, six pin connectors 60-62 and a capacitor 120. It reaches physical layer LSI 50 and the power supply terminal (VDD terminal of drawing 3) of 51 is connected only to the output terminal of direct-current-voltage conversion IC 80. Since this input terminal of direct-current-voltage conversion IC 80 is connected to the terminal number 1 of six pin connectors 60, it reaches physical layer LSI 50, and 51 operates, only when electric power is supplied from PC 20 connected to Port A. Moreover, Port A, Port B, and Port C are connected to the port 0 of physical layer LSI 50, the port 1 of physical layer LSI 50, and the port 2 of physical layer LSI 51, respectively, and the port 2 of physical layer LSI 50 and the port 0 of physical layer LSI 51 are further connected inside the connection control equipment 10. In addition, since the connection between the port of the physical layer LSI and six pin connectors and the connection between the physical layers LSI are easy, one continuous line expresses them by drawing 3, but connection of the four signal lines is carried out as specifically shown in drawing 2. Moreover, although passive elements, such as a terminator and a filter for noise rejection, are connected between the physical layer LSI and six pin connectors, since it is easy, it is omitted by drawing 3 here.

[0046] It reached physical layer LSI 50 and 51 is equipped with the reset terminal (RST terminal of drawing 3) which initializes actuation of LSI. If LSI will be initialized if the specification of the reset signal inputted into this reset terminal inputs the electrical potential difference (it is hereafter described as LO) of a low by the binary signal, and the electrical potential difference (it is hereafter described as HIGH) of a high level is inputted, LSI will carry out normal operation. Since pull-up of this reset terminal is carried out through resistance inside LSI, If the capacitor 120 connected between a reset terminal and a gland like the physical layer LSI 50 is used Since the electrical potential difference of a reset terminal is "LOW" immediately after impressing supply voltage to a VDD terminal and beginning to charge a capacitor 120, physical layer LSI 50 are in a reset condition. Since the electrical potential difference of a reset terminal will be set to "HIGH" if a capacitor 120 is fully charged, physical layer LSI 50 can become normal operation. The capacity of the capacitor 120 used in the gestalt of this invention operation makes time amount until a reset condition is canceled of powering on about 100 mses.

[0047] On the other hand, the output terminal of timer IC 110 is connected to the reset terminal of physical layer LSI 51. Timer IC 110 have the specification which outputs "HIGH" level, when LO level is outputted and elapsed time exceeds 2 minutes until it measures subsequent elapsed time that the electrical potential difference exceeding a threshold begins to be inputted into an input terminal and this elapsed time becomes 2 minutes. By connecting this input terminal of timer IC 110 with the input terminal of direct-current-voltage conversion IC 80, and setting the threshold of the input voltage of timer IC 110 as 7 V, after electric supply is started from Port A, physical layer LSI 51 can be made into a reset condition for 2 minutes. On the other hand, since a reset condition is canceled by about 100 mses after electric supply is started from Port A as physical layer LSI 50 mentioned above, after



starting electric supply from Port A, only physical layer LSI 50 operate for 2 minutes, and, as for both progress or subsequent ones, the two physical layers 50 and LSI 51 operate for 2 minutes.

[0048] As shown in drawing 1 in the condition that PC 20 are not on, a device is connected, and after supplying a power source to PC 20, when 1 minute has passed, the connection configuration of 1394 buses observed with the bus analyzers 40 and 41 and the connection configuration of the IEEE1394 bus observed when 5 minutes passed are shown in drawing 4 and drawing 5, respectively. The connection configuration ((a) of drawing 4) of 1394 buses observed with the bus analyzer 40 differs from it ((b) of drawing 4) which was observed with the bus analyzer 41 as it is shown in drawing 4, when 1 minute has passed, after supplying a power source to PC 20. Physically, since physical layer LSI 51 are in a reset condition, a bus is divided here, and this shows that two different buses were constituted, in spite of connecting all communication equipment.

[0049] The bus analyzer 40, and PC 20, physical layer LSI 50 and a hard disk drive unit 30 are connected to the bus observed with the bus analyzer 40. physical ID by which the figure indicated in drawing at the beginning of each device is assigned to each device in case a bus is constituted — being shown — \*\*\*\* — PC with the largest value — 20 is functioning as a root node which gives authorization of packet transmission to each device. On the other hand, the bus analyzer 41 and PC21 are connected to the bus observed with the bus analyzer 41, and PC 21 with the largest value of physical ID are functioning on it as a root node. Then, after supplying the power source to PC 20, when 5 minutes had passed, both the connection configurations of 1394 buses observed by each of the bus analyzer 40 and the bus analyzer 41 were what is shown in drawing 5. This is because one bus consisted of all devices that the reset condition of physical layer LSI 51 is canceled when 2 minutes have passed, after a power source is supplied to PC 20, and are connected physically. Physical layer LSI 51 generate the bus reset used as the trigger of reconstruction of a bus, when a reset condition is canceled. By reconstruction of a subsequent bus, as shown in drawing 5, physical ID is assigned to each device.

[0050] The result of having analyzed the packet transmitted to the bus after supplying a power source to PC 20, and the bus reset event using the bus analyzer is shown in drawing 6. By a diagram, the analysis result is typically shown using five kinds of rectangles from which a pattern differs. In addition, as for bus reset, a packet is not transmitted in fact. Moreover, each does not express one packet but four kinds of other rectangles mean that two or more packet transfers were performed. drawing — PC — — it is carrying out the time stamp, using the time of a power source being supplied to 20 as time of day 0.

[0051] In the bus analyzer 40, the bus reset by the power source having been supplied to PC 20 is observed at time of day 0. Then, the self ID packet which the physical layer LSI of each device transmits in the self ID process which is the quota procedure of physical ID is observed, and signs that PC 20 are reading the configuration ROM of each device continuously are observed. PC 20 transmit a lead request packet to the device for read-out of a configuration ROM, and, specifically, signs that the device which received it has answered PC 20 in the lead response packet which stored the data of a configuration ROM are observed. Since PC 20 detected that it was the device by which the device of physical ID of No. 1 was based on SBP-2 by read-out of this configuration ROM, SBP-2 access protocol has been started. The access protocol performed here is a login procedure, and has succeeded in the log in. Signs that data transfer between a hard disk drive unit 30 and PC 20 is performed are observed until time of day becomes in 2 minutes after it.

[0052] On the other hand, in the bus analyzer 41, since physical layer LSI 51 have not carried out normal operation, the bus reset in the time of day 0 which occurred by powering on to PC20, a subsequent self ID packet, etc. are not observed, but a different packet for data transfer from the observation by the bus analyzer 40 is observed until time of day becomes in 2 minutes. Since the reset condition of physical layer LSI 51 is canceled and one bus is constituted on the whole when time of day becomes in 2 minutes, the observation of two bus analyzers is the same thing and \*\*\*\*\*. Bus reset is first observed as of time-of-day 2 minutes, and the situation of a packet transfer is observed by read-out of a self ID packet and a configuration ROM and the order of SBP-2 access protocol after that.

In the part of SBP-2 access protocol, PC 20 which logged in from before the bus reset generated in time-of-day 2 minutes require a RIKONE cushion from a hard disk drive unit 30, and PC 21 which detected the hard disk drive unit for the first time after this bus reset perform a log in demand. Consequently, the RIKONE cushion procedure between PC 20 and a hard disk drive unit 30 was successful, and the log in demand by PC 21 has finished it with failure. Then, the packet for data transfer between PC 20 and a hard disk drive unit 30 is observed.

[0053] thus, the connection control equipment 10 — using — PC — preventing from detecting a hard disk drive unit 30 from PC 21 until the connection of SBP-2 is established between 20 and a hard disk drive unit 30 — the connection between PC 20 and a hard disk drive unit 30 — dependability — it is highly establishable.

[0054] In addition, although timer IC 110 set up the time amount which outputs LOW level with 2 minutes with the gestalt of this invention operation mentioned above, if this value is a value exceeding time amount after a power source is supplied to PC 20 until a connection is established between hard disk drive units 30, it is good without limit. Moreover, as shown in drawing 3, after the electrical potential difference exceeding a threshold was inputted into direct-current-voltage conversion IC 80, timer IC 110 started measurement of elapsed time, but after the electrical potential difference which exceeds a threshold from direct-current-voltage conversion IC 80 is outputted in this, the connection control equipment 10 used with the gestalt of this invention operation may be changed so that measurement of elapsed time may be started. Furthermore, it is also possible to use the connection control equipment 10 of the internal configuration shown in drawing 7 as the 1st modification of the gestalt of the 1st operation in this invention. In drawing 7, the reset terminal of the physical layers 50 and 51 is connected to capacitors 120 and 121, respectively. The time amount whose electrical potential difference of a reset terminal is LO is defined by the charging time to a capacitor, i.e., the product of the capacity of a capacitor, and the resistance of the pull-up resistor inside LSI, from powering on, and the time amount is so long that the capacity of a capacitor is large. Namely, what is necessary is just to enlarge capacity of a capacitor 121 at extent from which required time difference is acquired compared with the capacity of a capacitor 120.

[0055] Moreover, it is also possible to use the connection control equipment 10 of the internal configuration shown in drawing 8 as the 2nd modification of the gestalt of the 1st operation in this invention. With this configuration, a switch 130 is inserted between the power supply terminal of the physical layer LSI 50, and the power supply terminal of physical layer LSI 51. This switch 130 will open a switch 130, if the control signal of "LOW" level is inputted, if the control signal of "HIGH" level is inputted, it will be the specification which closes a switch 130 and the output signal of timer IC 110 will be inputted as that control signal. Since timer IC 110 are the same specification as the timer IC used by drawing 3, after a switch 130 opens, and supply voltage is not inputted into physical layer LSI 51 but for 2 minutes passes until for 2 minutes passes, after beginning to input the electrical potential difference exceeding a threshold into direct-current-voltage conversion IC 80 as a result, a switch 130 closes and physical layer LSI 51 start actuation. With such a configuration, a function equivalent to the connection control equipment 10 shown in drawing 3 or drawing 7 is obtained.

[0056] Next, the gestalt (gestalt of the 2nd operation) of other operations in this invention is explained to a detail. Drawing 9 is drawing showing the connection configuration of the IEEE1394 bus in the gestalt of the 2nd operation of this invention. Here, the IEEE1394 bus system is constituted by the connection control equipment 10, PC 20, PC 21, a hard disk drive unit 30 and the bus analyzer 40, and the bus analyzer 41. The connection control equipment 10 used here is connected to the PCI bus with which PC 20 are equipped. The internal configuration of the connection control equipment 10 is shown in drawing 10. this connection control equipment 10 — the physical layer LSI — 50 and 51, six pin connectors 60 and 61, and the direct-current-voltage conversion IC — 80 and 81, timer IC 110, a capacitor 120, and the link layer LSI — it consists of 140 and a PCI interface 150, and PC 20 and link layer LSI 140 are connected through the PCI interface 150. In addition, although a PCI bus is a parallel bus, since it is easy, it expresses data and the address line with one continuous line, and expresses the power-source

line with drawing 10 as one more continuous line.

[0057] Physical layer LSI 50 and link layer LSI 140 are connected through PHY / LINK interface which it has. On the other hand, there is no link layer LSI to which physical layer LSI 51 are connected through a PHY/LINK interface, and its port 0 is connected with the port 2 of physical layer LSI 50. By considering as such a connection configuration, the device identified by physical ID assigned to physical layer LSI 50 is recognized to be PC 20, and the device identified by physical ID assigned to physical layer LSI 51 is recognized as a device without a configuration ROM.

[0058] Physical layer LSI 50 and 51 operate according to the power source supplied from PC 20 through the PCI interface 150 and direct-current-voltage conversion IC 80. Link layer LSI 140 operate similarly according to the power source supplied from PC 20 through the PCI interface 150 and direct-current-voltage conversion IC 81. In addition, the power source from PC 20 is supplied only while the power source is supplied to PC. It connects with six pin connectors 60, and the port 1 of physical layer LSI 50 functions as a port B which is a port for peripheral-device connection of PC. On the other hand, the port 2 of physical layer LSI 51 functions as a port C which is a port where it connects with six pin connectors 61, and devices other than a peripheral device are connected. The reset terminal of physical layer LSI 51 is connected with the output terminal of timer IC 110. Physical layer LSI 51 are in a reset condition continuously, and since timer IC 110 are the same specification as the timer IC by this invention shown in drawing 3 used with the gestalt of the 1st operation, after for 2 minutes passes, physical layer LSI 51 start normal operation, until for 2 minutes passes, after beginning to input the electrical potential difference exceeding a threshold into direct-current-voltage conversion IC 80 as a result.

[0059] As shown in drawing 9 in the condition that PC 20 are not on, a device is connected, and after supplying a power source to PC 20, when 1 minute has passed, the connection configuration of 1394 buses observed with the bus analyzers 40 and 41 and the connection configuration of the IEEE1394 bus observed when 5 minutes passed are shown in drawing 11 and drawing 12, respectively. After a power source is supplied to PC 20 in this invention which physical layer LSI 51 are in a reset condition, and continue like the gestalt of the 1st operation, for 2 minutes As opposed to the connection configuration (drawing 11 (a)) observed with the bus analyzer 40 differing from the connection configuration (drawing 11 (b)) observed with the bus analyzer 41 The connection configuration (drawing 12) which one bus is constituted on the whole and observed with both the bus analyzer after for 2 minutes passes becomes equal.

[0060] By using a configuration which was described above, it becomes possible to establish certainly the connection between PC 20 and a hard disk drive unit 30. Moreover, with the gestalt of operation shown here, the one number of the physical layers LSI which united PC and the connection control equipment can be reduced as compared with the gestalt of the 1st operation mentioned above. This leads not only to reducing components mark but to the thing for which one physical ID which can be used is increased. That is, it becomes possible to increase one device connectable with a bus.

[0061] In addition, with the gestalt of this invention operation described above, although the port 0 of physical layer LSI 50 was intact, this port may be used as a port with a function equivalent to Port B. Moreover, it is also possible to apply the approach of distinguishing between a supply voltage input using a switch as shown in the approach of using a capacitor instead of and attaching the time difference of reset discharge and drawing 8. [ the timer IC as shown in drawing 7 ]

[0062] Drawing 13 is drawing of this invention showing the gestalt (gestalt of the 3rd operation) of other operations further, and is drawing specifically showing the internal configuration of the connection control equipment 10. This connection control equipment 10 is the same as that of what was used by IEEE1394 bus shown in drawing 1. This connection control equipment 10 consists of physical layer LSI 50, and direct-current-voltage conversion IC 80 and timer IC 110. Physical layer LSI 50 used here did not transmit and receive a signal, but are equipped with the port terminal which can control from the outside the condition that the power source is not on, an equivalent disable condition, and the enabling state that performs transmission and reception of a signal to the port 2. If the signal of "LOW" level is

inputted into this port terminal, a port 2 will be in a disable condition, and if the signal of "HIGH" level is inputted, it will be in enabling state. By connecting to this port terminal the output terminal of timer IC 110 of the same specification as having been used with the gestalt of the 1st operation of this invention mentioned above, a port 2 will be in enabling state after a disable condition and it until for 2 minutes after immediately after powering on from Port A passes. By considering as such a configuration, it was checked that a connection is certainly established between the peripheral devices connected with PC connected to Port A in Port B.

[0063] By using the physical layer LSI with such a function as a connection control equipment 10, components mark and a physical ID resource can be reduced compared with the gestalt of the 1st or the 2nd operation. Moreover, it is also possible to use the connection control equipment 10 of a configuration of to be shown in drawing 14 as the 1st modification of the gestalt of this invention operation. Physical layer LSI 50 used here build in the elapsed time measurement function with which timer IC 110 indicated by drawing 13 are equipped. In this example, the time constant determined by the capacitor 120 connected to the delay terminal (it is written as DEL in drawing 14) of physical layer LSI 50 and resistance 160 was able to adjust the elapsed time measured. Thus, it is also possible to adjust elapsed time with CR time constant, and it is also possible to adjust elapsed time using the counter which measures the count of a standup of a clock.

[0064] Furthermore, it is also possible to constitute the connection control equipment of the gestalt connected through a PCI bus as shown in drawing 15 as the 2nd modification of the gestalt of this invention operation. In this drawing, physical layer LSI 50 used by the connection control equipment 10 shown in drawing 14 are used. drawing — the physical layer LSI — although the port 1 of 50 is intact, it is also possible to use this port as a port B for peripheral-device connection.

[0065] Next, the gestalt (gestalt of the 4th operation) of the operation of further others by this invention is explained. Here, in the IEEE1394 bus shown in drawing 16, the connection control equipment 10 is used in order to establish certainly the connection between PC 20 and a hard disk drive unit 30. Although this connection control equipment 10 can serve as Port A and the connection place of a peripheral device which connect PC, a connection place is equipped with the port C which connects the device whose intention it does not have, and the internal configuration is shown in drawing 17. The connection control equipment 10 consists of physical layer LSI 50, and direct-current-voltage conversion IC 80 and timer IC 110. After starting the electric supply from Port A, physical layer LSI 50 are made to change into a reset condition into a normal operation condition after it by connecting the output terminal of timer IC 110, and the reset terminal of physical layer LSI 50 for 90 seconds. Thereby, it is not detected for 90 seconds after PC 21 by which the hard disk drive unit 30 connected to Port A side is connected to Port C side, but the connection between PC 20 and a hard disk drive unit 30 can be established certainly.

[0066] Thus, when PC 20 are equipped with two or more ports and can connect a peripheral device to the port, it is possible to set to one the number of the physical layers LSI mounted in the connection control equipment 10.

[0067] Then, the gestalt (gestalt of the 5th operation) of the operation of further others by this invention is explained. Here, in the IEEE1394 bus shown in drawing 1, the connection control equipment 10 which has the internal configuration shown in drawing 18 is used. as being shown in drawing — the connection control equipment 10 — the physical layer LSI — 50, link layer LSI 140, and CPU — it consists of 170, ROM 180, and RAM 190. The program which processes based on the flow chart shown in drawing 19 is mounted in the connection control equipment 10. Two, or [ whether the device is connected to Port A in condition S1-1 or / that the device further connected newly after Port B exists ], are investigated first. Since it is written to the register which physical layer LSI 50 build in, the connection situation of Port A is investigated by reading this register through link layer LSI 140.

[0068] On the other hand, with the connection condition after Port B, although only the hard disk drive unit 30 is connected to Port B in drawing 1, I hear that whether the device of further others is connected analyzes in the empty port of this hard disk drive unit 30, and it is in it. Conditional branching

is performed by whether there is any device connected to Port A condition S1-2 continuing. I hear that a peripheral device and PC which should establish a connection do not exist, and for a certain reason, that there is no connection device sets Port C as a disable condition, and it ends processing. On the other hand, when there is a device connected to Port A, it shifts to condition S1-3. Conditional branching is performed by whether there is any device newly connected to Port B condition S1-3. I hear that the peripheral device with which PC should newly perform a login procedure does not exist, and for a certain reason, that there is no newly connected device ends processing by making Port C into enabling state so that it can communicate between the device by the side of Port C, and PC of Port A. On the other hand, when a new device is connected, it shifts to condition S1-4. Here, between the time amount defined beforehand makes Port C a disable condition, and if the time amount passes, processing which makes Port C enabling state again will be performed.

[0069] It is also possible to change processing of drawing 19 of condition S1-4 into processing of the procedure shown in drawing 20 as a modification of this procedure. Here, without considering as the time amount of immobilization of the time amount which makes Port C a disable condition, the monitor of the advance situation of a login procedure is carried out, and when it is completed, the processing which makes Port C enabling state is shown. In order to carry out the monitor of the situation of a login procedure, it is necessary to set link layer LSI 140 as the mode in which all the packets on a bus are received. Although processing which the same value as the node ID assigned to self receives only the packet written to Destination ID, and disregards except it is performed, in order to carry out the monitor of the login procedure, usual link layer LSI 140 do not depend on Destination ID, but need to receive all packets. When a login procedure is completed, the link layer LSI is usually returned to the receive mode, Port C is further made into enabling state, and processing of condition S1-4 is ended.

[0070] Then, the gestalt (gestalt of the 6th operation) of the operation of further others by this invention is explained. Here, it is carried out using the IEEE1394 bus shown in drawing 1. Physical layer LSI 50 started by electric supply from PC connected to Port A are mounted in the connection control equipment 10 used here as shown in drawing 21. In addition, it shall be specified that PC 20 make connection with the port A of the connection control equipment 10 with the port 0 of PC 20. Here, software which controls the condition of the port 2 of physical layer LSI 50 with which the connection control equipment 10 is equipped was mounted in PC 20, and the method of establishing a connection certainly between PC20 and a hard disk drive unit 30 using it was used. That is, the system which consists of PC 20 and the connection control equipment 10 for performing connection control of SBP-2 device is used here.

[0071] The flow chart of the processing which the software mounted in PC 20 performs is shown in drawing 22. In condition S2-1 of the start, physical ID assigned to physical layer LSI 50 with which the connection control equipment 10 is equipped is investigated. This is possible by analyzing a self ID packet. That is, since all the initial entries of the port of each device are indicated by the self ID packet, the topology of the bus analyzed from now on and the physical layer LSI are investigated by using the conditions of connecting with the port 0 of PC 20. In S2-2 continuing, it is investigated whether the device newly connected after the physical layer LSI port 1 of 50 exists. When the newly connected device exists, it shifts to condition S2-3 and the port C between fixed time amount (port 2 of physical layer LSI 50) is made into a disable condition. Specifically, the remote command packet indicated by IEEE P1394a draft specification is used for this. A format of a remote command packet is shown in drawing 23. phy\_ID of drawing -- the physical layer LSI -- 2 which is the target port number [ ID / of 50 / physical ] is stored in a port. In making a port into a disable condition and making 1 into enabling state, it stores 5 in the cmnd field.

[0072] It is also possible to transpose the processing of condition S2-3 in drawing 22 to the processing shown in drawing 24 as a modification of the gestalt of the 6th operation. Here, the port between the time amount defined beforehand is not changed into a disable condition, but if a login procedure is completed, a disable condition will be canceled immediately. Since PC 20 are a device which performs a hard disk drive unit 30 and a login procedure to that it is the device which controls the port of the

connection control equipment 10, and coincidence, they are easy to perform port control of the connection control equipment 10 according to the advance situation of a login procedure.

[0073] In addition, in the gestalt of all operations described above, although six pin connectors were used for the connection control equipment 10, four pin connectors may be used except the port to which electric power is supplied from other devices. Moreover, in the gestalt of all operations described above, although the hard disk drive unit was used for the peripheral device of SBP-2 conformity, other are recording equipment, printers, etc. may be used. Furthermore, although explanation using SBP-2 as a protocol which establishes a connection was given, other protocols which perform logical connection control on an IEEE1394 bus may be used. Furthermore, it is also possible to apply this invention to serial bus specification other than an IEEE1394 bus.

[0074]

[Effect of the Invention] As explained above, PC and the peripheral device with which establishing a connection was meant are connected to the ports A and B in which a connection control equipment has this invention, respectively, and PC with which it does not have the intention of establishing the peripheral device connected to Port B and a connection is connected to Port C in them. Furthermore, the physical layer LSI and Port C are connected with the physical layer LSI for Ports A and B, respectively. Moreover, the input terminal of the direct-current-voltage conversion IC is connected so that electric power may be supplied from Port A, and the output terminal of Timer IC is connected to the reset terminal of the physical layer LSI. This physical layer LSI It is Timer IC so that it may be in a normal operation condition, after it is in a reset condition and fixed time amount passes until fixed time amount passes, after starting electric supply from Port A. It is controlled. In case the protocol with which logical connection is made on a serial bus is used by this, it becomes possible to make logical connection establish certainly between the devices which the user meant.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is drawing showing the connection configuration of 1394 buses in the gestalt of the 1st operation in this invention.

**[Drawing 2]** It is the physical layer LSI, the power circuit, the connector, and drawing that expressed the connection of a cable typically in IEEE1394 specification.

**[Drawing 3]** It is the block diagram showing the internal configuration of the connection control equipment in this invention used with the gestalt of the 1st operation.

**[Drawing 4]** In the IEEE1394 bus shown in drawing 1 , after supplying a power source to PC, when 1 minute has passed, it is drawing showing the connection configuration of the IEEE1394 bus observed with a bus analyzer.

**[Drawing 5]** In the IEEE1394 bus shown in drawing 1, after supplying a power source to PC, when 5 minutes have passed, it is drawing showing the connection configuration of the IEEE1394 bus observed with the bus analyzer.

**[Drawing 6]** In the IEEE1394 bus shown in drawing 1, it is drawing showing the result of having observed generating of the packet transmitted to the bus after supplying a power source to PC, or a bus reset event with the bus analyzer.

**[Drawing 7]** It is the block diagram which was used in the 1st modification in the gestalt of operation of the 1st of this invention and in which showing the internal configuration of a connection control equipment.

**[Drawing 8]** It is the block diagram which was used in the 2nd modification in the gestalt of operation of the 1st of this invention and in which showing the internal configuration of a connection control equipment.

**[Drawing 9]** It is drawing showing the connection configuration of the IEEE1394 bus in the gestalt of operation of the 2nd of this invention.

**[Drawing 10]** It is the block diagram showing the internal configuration of the connection control device used in the gestalt of operation of the 2nd of this invention.

**[Drawing 11]** In the IEEE1394 bus shown in drawing 9, after supplying a power source to PC, when 1 minute has passed, it is drawing showing the connection configuration of the IEEE1394 bus observed with the bus analyzer.

**[Drawing 12]** In the IEEE1394 bus shown in drawing 9, after supplying a power source to PC, when 5 minutes have passed, it is drawing showing the connection configuration of the IEEE1394 bus observed with the bus analyzer.

**[Drawing 13]** It is the block diagram showing the internal configuration of the connection control device used with the gestalt of operation of the 3rd of this invention.

**[Drawing 14]** It is the block diagram showing the 1st modification of the connection control device in the gestalt of operation of the 3rd of this invention.

**[Drawing 15]** It is the block diagram showing the 2nd modification of the connection control device in the gestalt of operation of the 3rd of this invention.

**[Drawing 16]** It is drawing showing the connection configuration of the IEEE1394 bus in the gestalt of



operation of the 4th of this invention.

[Drawing 17] It is the block diagram showing the internal configuration of the connection control device used with the gestalt of operation of the 4th of this invention.

[Drawing 18] It is the block diagram showing the internal configuration of the connection control device used in the gestalt of operation of the 5th of this invention.

[Drawing 19] It is drawing having shown the processing which the connection control device used in the gestalt of operation of the 5th of this invention performs with the flow chart.

[Drawing 20] It is drawing having shown the modification of the processing of condition S1-4 shown in drawing 19 with the flow chart.

[Drawing 21] It is the block diagram showing the internal configuration of the connection control device used in the gestalt of operation of the 6th of this invention.

[Drawing 22] It is drawing which carried out flow chart \*\* of the processing of the software mounted in PC in the gestalt of operation of the 6th of this invention.

[Drawing 23] It is drawing showing a format of the remote command packet indicated by IEEE P1394a draft specification.

[Drawing 24] It is drawing having shown the modification of the processing of condition S2-3 shown in drawing 22 with the flow chart.

[Drawing 25] In SBP-2, an initiator and a target are drawings explaining the flow of the login procedure which establishes a connection.

[Drawing 26] It is drawing showing an example of a format of the configuration ROM with which the target device of SBP-2 is equipped.

[Drawing 27] It is drawing having shown the flow of a login procedure in the flow chart.

[Drawing 28] It is drawing having shown the format of the log in request which the initiator holds.

[Drawing 29] A target is drawing having shown the format of the log in response written in an initiator.

[Drawing 30] It is drawing having shown the format of the status block with which the processing result of a log in demand was stored.

[Drawing 31] It is drawing quoted in order to explain the flow k detail of a RIKONE cushion procedure.

[Drawing 32] It is drawing having shown the format of the RIKONE cushion request which the initiator holds.

#### [Description of Notations]

10 — 20 A connection control equipment, 21 — Personal computer (PC), 30 — 40 A hard disk drive unit, 41 — 50 A bus analyzer, 51 — Physical layer LSI 60, 61, 62—6 pin connector, 70 — 80 A cable, 81 — Direct-current-voltage conversion IC 90 [ — A capacitor, 130 / — A switch, 140 / — The link layer LSI, 150 / — A PCI interface, 160 / — Resistance, 170 / — CPU, 180 / — ROM, 190 / — RAM ] — A voltage source, 100 — Diode, 110 — 120 Timer IC, 121

---

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-186157

(P2001-186157A)

(43) 公開日 平成13年7月6日(2001.7.6)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 4 L 12/40  
29/02

H 0 4 L 11/00  
13/00

3 2 0 5 K 0 3 2  
3 0 1 Z 5 K 0 3 4

審査請求 有 請求項の数23 O L (全 30 頁)

(21) 出願番号 特願平11-368423

(22) 出願日 平成11年12月24日(1999. 12. 24)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 土門 渉

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 昭男 (外3名)

Fターム(参考) 5K032 AA09 CC01 DA01

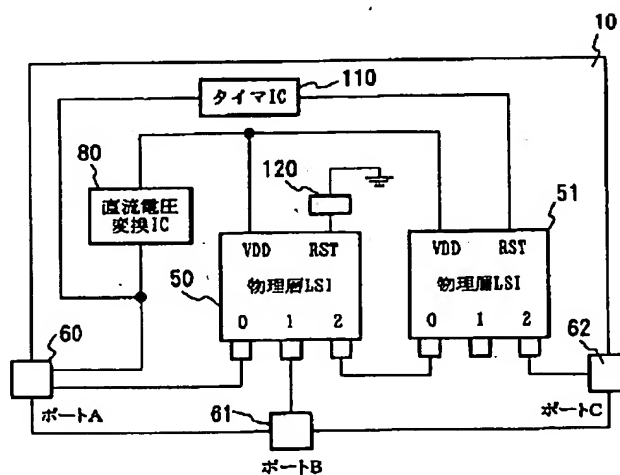
5K034 AA20 DD03 FF11 KK01 LL01  
QQ01

(54) 【発明の名称】 接続制御機器ならびに物理層LSIおよび接続制御システム

(57) 【要約】

【課題】 シリアルバス上で論理的な接続が行われるプロトコルを利用する際に、ユーザが意図した機器間で論理的な接続を確実に確立させること。

【解決手段】 接続制御機器10が持つポートAとBには、コネクションを確立することが意図されたPCと周辺機器がそれぞれ接続される。ポートCには、ポートBに接続される周辺機器とコネクションを確立することが意図されていないPCが接続される。ポートAとBは物理層LSI50と、ポートCは物理層LSI51とそれぞれ接続される。また、直流電圧変換IC80の入力端子はポートAから給電されるように接続される。タイマIC110の出力端子は物理層LSI51のリセット端子に接続される。この物理層LSI51は、ポートAから給電が開始されて以降一定時間が経過するまではリセット状態となり、一定時間が経過して以降は通常動作状態となるようにタイマICにより制御される。



(2)

## 【特許請求の範囲】

【請求項1】 機器が備えるポートを介し、前記複数の機器が相互接続されて構成されるシリアルバスにおいて、

前記シリアルバスの規格に準拠した第1および第2の物理層LSIと、スイッチと、前記スイッチの開閉を制御するスイッチ制御手段とを備え、

前記スイッチは、前記第1の物理層LSIの電源端子と前記第2の物理層LSIの電源端子との間に挿入され、前記スイッチ制御手段は、前記第1の物理層LSIの電源端子に正の直流電圧が入力され始めて以降定められた遅延時間が経過するまでは前記スイッチを開け、前記遅延時間が経過して以降は前記スイッチを閉じる制御を行うこと、を特徴とする接続制御機器。

【請求項2】 機器が備えるポートを介し、前記複数の機器が相互接続されて構成されるシリアルバスにおいて、

前記シリアルバスの規格に準拠した第1および第2の物理層LSIと、前記第1および第2の物理層LSIのリセット動作を各々制御する第1および第2のリセット制御手段とを備え、

前記第1および第2のリセット制御手段は、前記第1および第2の物理層LSIに電源電圧が入力され始めて以降第1および第2の遅延時間が経過するまでは前記第1および第2の物理層LSIがリセット状態となるような制御信号を、前記第1および第2の遅延時間が経過して以降は前記第1および第2の物理層LSIがリセット状態から復帰して通常動作を行うような制御信号を、それぞれ前記第1および第2の物理層LSIのリセット端子に入力し、

前記第2の遅延時間は、前記第1の遅延時間に予め定められた時間を加えた値であること、を特徴とする接続制御機器。

【請求項3】 入力端子に入力される電圧を前記第1および第2の物理層LSIの電源電圧に変換して出力端子から出力する直流電圧変換手段を備え、

前記直流電圧変換手段の入力端子は、データ転送用の端子が前記第1の物理層LSIと接続されている予め定められたポートの給電端子と接続されていること、を特徴とする請求項1または2に記載の接続制御機器。

【請求項4】 コンピュータの入出力機器接続用バスに接続可能なインタフェースを有するリンク層LSIを備え、前記リンク層LSIは前記第1の物理層LSIと接続されることを特徴とする、請求項1乃至請求項3のいずれか1項に記載の接続制御機器。

【請求項5】 前記コンピュータの入出力機器接続用バスがPCI (Peripheral Component Interconnect) バスであることを特徴とする、請求項4に記載の接続制御機器。

【請求項6】 機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスの規格に

準拠した物理層LSIにおいて、

前記物理層LSIが備える複数のデータ信号送受信ポートのうち予め定められたポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御する制御信号が入力されるポート状態制御入力端子を備え、前記物理層LSIに電源が投入された直後における前記予め定められたポートの初期状態は、ディスエーブル状態であること、を特徴とする物理層LSI。

10 【請求項7】 機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスの規格に準拠した物理層LSIにおいて、前記物理層LSIに電源が投入されて以降経過した時間を計測する時間計測手段と、

前記物理層LSIが備える複数のデータ信号送受信ポートのうち予め定められたポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段とを備え、

20 前記物理層LSIに電源が投入されて以降予め定めた遅延時間が経過したことを前記時間計測手段が示すまでの間は前記予め定められたポートを前記ディスエーブル状態とし、前記遅延時間が経過して以降は前記予め定められたポートを前記イネーブル状態とする制御が前記ポート状態制御手段により行われること、を特徴とする物理層LSI。

【請求項8】 機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスの規格に準拠した物理層LSIにおいて、

30 前記物理層LSIが備える複数のデータ信号送受信ポートのうち予め定められたポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御する制御信号が入力されるポート状態制御入力端子を備え、前記物理層LSIに電源が投入された直後における前記予め定められたポートの初期状態は、ディスエーブル状態である物理層LSIと、時間計測手段と、

ポート状態制御手段とを備え、

40 前記時間計測手段は、前記物理層LSIに電源電圧が入力され始めて以降の時間を計測し、前記ポート状態制御手段は、前記物理層LSIに電源電圧が入力され始めて以降予め定めた遅延時間が経過したことを前記時間計測手段が示すまでの間は前記予め定められたポートが前記ディスエーブル状態となるような、前記遅延時間が経過して以降は前記予め定められたポートが前記イネーブル状態となるような制御信号を前記ポート状態制御入力端子に入力すること、を特徴とする接続制御機器。

50 【請求項9】 機器が備えるポートを介して前記複数の

3

機器が相互接続されて構成されるシリアルバスの規格に準拠した物理層LSIにおいて、

前記物理層LSIに電源が投入されて以降経過した時間を計測する時間計測手段と、

前記物理層LSIが備える複数のデータ信号送受信用ポートのうち予め定められたポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段とを備え、

前記物理層LSIに電源が投入されて以降予め定めた遅延時間が経過したことを前記時間計測手段が示すまでの間は前記予め定められたポートを前記ディスエーブル状態とし、前記遅延時間が経過して以降は前記予め定められたポートを前記イネーブル状態とする制御が前記ポート状態制御手段により行われる物理層LSIを備えたことを特徴とする接続制御機器。

【請求項10】 入力端子に入力される電圧を前記物理層LSIの電源電圧に変換して出力端子から出力する直流電圧変換手段を備え、

前記直流電圧変換手段の入力端子は、予め定められたポートの給電端子に接続されていること、を特徴とする、請求項8または請求項9に記載の接続制御機器。

【請求項11】 コンピュータの入出力機器接続用バスに接続可能なインタフェースを有するリンク層LSIを備え、前記リンク層LSIは前記物理層LSIと接続されることを特徴とする、請求項8乃至請求項10のいずれか1項に記載の接続制御機器。

【請求項12】 前記コンピュータの入出力機器接続用バスがPCI (Peripheral Component Interconnect) バスであることを特徴とする、請求項11に記載の接続制御機器。

【請求項13】 機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、

前記シリアルバスの規格に準拠した物理層LSIと、

入力端子に入力される電圧を前記物理層LSIの電源電圧に変換して出力端子から出力する直流電圧変換手段と、スイッチと、

前記スイッチの開閉を制御するスイッチ制御手段とを備え、

前記直流電圧変換手段の入力端子は予め定められたポートの給電端子と接続され、前記直流電圧変換手段の出力端子は前記スイッチの一方の端子と接続され、前記スイッチの他方の端子は前記物理層LSIの電源端子と接続され、

前記スイッチ制御手段は、前記直流電圧変換手段の入力端子に正の直流電圧が入力され始めて以降予め定められた遅延時間が経過するまでは前記スイッチを開け、前記遅延時間が経過して以降は前記スイッチを閉じる制御を行うこと、を特徴とする接続制御機器。

(3)

4

【請求項14】 機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、

前記シリアルバスの規格に準拠した物理層LSIと、

入力される電圧を前記物理層LSIの電源電圧に変換して出力する直流電圧変換手段と、

前記物理層LSIのリセット動作を制御するリセット制御手段とを備え、

前記直流電圧変換手段の入力端子は予め定められたポートの給電端子と接続され、前記直流電圧変換手段の出力端子は前記物理層LSIの電源端子と接続され、

前記リセット制御手段は、前記直流電圧変換手段の入力端子に正の直流電圧が入力され始めて以降予め定められた遅延時間が経過するまでは前記物理層LSIがリセット状態となるような制御信号を、前記遅延時間が経過して以降は前記物理層LSIがリセット状態から復帰して通常動作を行うような制御信号を、それぞれ前記物理層LSIのリセット端子に入力すること、を特徴とする接続制御機器。

【請求項15】 機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、

第1および第2および第3のポートと、

前記シリアルバスの規格に準拠した物理層LSIと、

前記シリアルバスに接続される機器の接続構成を調査するトポロジ調査手段と、

前記第3のポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段とを備え、

前記トポロジ調査手段は、前記シリアルバスの初期化手順が終了する度に前記シリアルバスの機器接続構成を調査し、前記第1のポートに他の機器が接続されていることと、前記シリアルバスの初期化手順が開始される前には接続されていなかった新たな機器が前記第2のポート以降に接続されていることが前記調査の結果とともに検出された場合、前記第3のポートを予め定められた遅延時間だけディスエーブル状態とし、前記遅延時間が経過した後に前記ポート状態制御手段が前記第3のポートをイネーブル状態とする制御が前記ポート状態制御手段により行われること、を特徴とする接続制御機器。

【請求項16】 機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、

第1第2および第3のポートと、

前記シリアルバスの規格に準拠した物理層LSIと、

前記シリアルバスに接続される機器の接続構成を調査するトポロジ調査手段と、

前記第3のポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可

50

(4)

5

能なイネーブル状態とするかを制御するポート状態制御手段と、

前記シリアルバスを転送するデータ信号を受信して解析するデータ解析手段とを備え、

前記トポロジ調査手段は、前記シリアルバスの初期化手順が終了する度に前記シリアルバスの機器接続構成を調査し、前記第1のポートに他の機器が接続されていることと、前記シリアルバスの初期化手順が開始される前には接続されていなかった新たな機器が前記第2のポート以降に接続されていることが前記調査の結果とともに検出された場合には、前記ポート状態制御手段が前記第3のポートをディスエーブル状態として以降、前記第1のポートに接続される機器と前記第2のポート以降に接続される機器との間で行われる論理的接続手順が解析され、前記論理的接続手順が完了した時点で前記ポート状態制御手段が前記第3のポートをイネーブル状態とする制御が行われること、を特徴とする接続制御機器。

【請求項17】 前記シリアルバスがIEEE1394規格に準拠していることを特徴とする、請求項1乃至請求項5、請求項8乃至請求項16のいずれか1項に記載の接続制御機器。

【請求項18】 前記シリアルバスがIEEE1394規格に準拠し、前記論理的接続手順がシリアルバスプロトコル2 (SBP-2) 規格に基づいたログイン手順であること、を特徴とする請求項16に記載の接続制御機器。

【請求項19】 前記シリアルバスがIEEE1394規格に準拠していることを特徴とする、請求項6または請求項7に記載の物理層LSI。

【請求項20】 機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、

第1および第2および第3のポートと、

前記シリアルバスの規格に準拠した物理層LSIとを少なくとも備えた第1の制御機器と、

前記シリアルバスに接続される機器の接続構成を調査するトポロジ調査手段と、

前記第3のポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段とを少なくとも備えた第2の制御機器とから構成され、

前記第2の制御機器は、前記第1のポート以降あるいは前記第2のポート以降に接続され、

前記トポロジ調査手段は、前記シリアルバスの初期化手順が終了する度に前記シリアルバスの機器接続構成を調査し、前記第1のポートに前記第2の制御機器を除く機器が接続されていることと、前記シリアルバスの初期化手順が開始される前には接続されていなかった前記第2の制御機器を除く新たな機器が前記第2のポート以降に接続されていることが前記調査の結果とともに検出され

6

た場合、前記第3のポートを予め定められた遅延時間だけディスエーブル状態とし、前記遅延時間が経過した後には前記ポート状態制御手段が前記第3のポートをイネーブル状態とする制御が前記ポート状態制御手段により行われること、を特徴とする接続制御システム。

【請求項21】 機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、第2および第3のポートと、前記シリアルバスの規格に準拠した物理層LSIとを少なくとも備えた第1の制御機器と、

前記シリアルバスに接続される機器の接続構成を調査するトポロジ調査手段と、

前記第3のポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段と、

前記シリアルバスを転送するデータ信号を受信して解析するデータ解析手段とを少なくとも備えた第2の制御機器とから構成され、

前記第2の制御機器は、前記第1のポート以降あるいは前記第2のポート以降に接続され、

前記トポロジ調査手段は前記シリアルバスの初期化手順が終了する度に前記前記シリアルバスの機器接続構成を調査し、前記第1のポートに前記第2の制御機器を除く機器が接続されていることと、前記シリアルバスの初期化手順が開始される前には接続されていなかった前記第2の制御機器を除く新たな機器が前記第2のポート以降に接続されていることが前記調査の結果とともに検出された場合、前記ポート状態制御手段が前記第3のポートをディスエーブル状態として以降、前記第1のポートに接続される機器と前記第2のポート以降に接続される機器との間で行われる論理的接続手順が解析され、前記論理的接続手順が完了した時点で前記ポート状態制御手段が前記第3のポートをイネーブル状態とする制御が行われること、を特徴とする接続制御システム。

【請求項22】 前記シリアルバスがIEEE1394規格に準拠していることを特徴とする、請求項20または請求項21に記載の接続制御システム。

【請求項23】 前記シリアルバスがIEEE1394規格に準拠し、前記論理的接続手順がシリアルバスプロトコル2 (SBP-2) 規格に基づいたログイン手順であることを特徴とする、請求項22に記載の接続制御システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、IEEE1394規格あるいはユニバーサルシリアルバス (USB) 規格などのシリアルバスインタフェースを有する電子機器あるいはシステムに関し、特にこれらのシリアルバス上で論理的な接続が確立された機器間でデータ通信を行うプロトコルの論理的接続の確立を制御する、接続制御機器ならびに物理

(5)

7

層LSIおよび接続制御システムに関する。

#### 【0002】

【従来の技術】S100（毎秒100メガビット）、S200（毎秒200メガビット）、S400（毎秒400メガビット）という高速転送能力を有する高性能シリアルバス規格であるIEEE1394規格（以下、1394と記述する）は、低遅延特性は保証されないが転送の成否が確認可能なアシンクロナス転送モードに加え、転送帯域を保証するアイソクロナス転送モードをサポートしている。従って、元々はパーソナルコンピュータ（以下、PCと記述する）の周辺機器として規格化されたが、デジタル動画を扱う家電機器用インタフェースとしても有望であり、PCと家電機器の双方に搭載されるマルチメディア情報用インタフェースとして注目を集めている。

【0003】IEEE1394規格に期待される上記のような用途のうち、PC用として、従来PCに備えられていたパラレルポートやシリアルポート、あるいはSCSI（Small Computer System Interface）インタフェースなどを用いて接続されていたPC用周辺機器をIEEE1394を用いて接続する用途が考えられる。実際に、ハードディスクドライブなどの蓄積機器や、プリンタ、スキャナなどの周辺機器とPCを1394で接続して使用するための規格がいくつか作成されているか、または現在作成中である。

【0004】これらの規格のうち、SCSI規格のデータ転送を1394上で行うことが可能なシリアルバスプロトコル2（以下、SBP-2と記述する）規格の概要について説明する。この規格は、ANSI（American National Standards Institute）において、ANSINCITS 325-1998として既に規格化が完了されている。

【0005】SBP-2は、IEEE1394に接続される通信機器間で、データや機器の状態を通信するための規格である。SBP-2では、これらの通信を要求する機器はイニシエータ（initiator）と呼ばれ、イニシエータからの通信要求を受信してそれに応じた動作を行う機器はターゲット（target）と呼ばれる。データ通信を行う間は、イニシエータとターゲットとの間に論理的な接続（以下、コネクションと呼ぶ）が確立されている必要があり、そのためのアクセスプロトコルが規定されている。アクセスプロトコルは、コネクションを確立する手順であるログイン（login）と、IEEE1394バスにバスリセットが発生してバスが再構成されたあとにもコネクションを継続して確立させるための手順であるリコネクション（reconnection）、コネクションを解放するログアウト（logout）とから構成される。

【0006】以下、ログイン手順について図25を用いて簡単に説明する。ログイン手順は、イニシエータがターゲットに対してログインを要求することから開始される。図25は、イニシエータのログイン手順を示している。はじめにイニシエータは、手順S3-1において、SBP-2のターゲット機器がバスに接続されているか否かを調

8

査する。具体的に、これは、バスに接続される各機器のコンフィグレーションロムを読み出し、その内容を解析することにより行われる。このコンフィグレーションロムとは、各機器が備えるIEEE1394ノードとしての機能や識別子、その機器がサポートする上位アプリケーションなどが格納されている読み出し専用のメモリである。

【0007】SBP-2のターゲット機器が備えるコンフィグレーションロムの一例を図26に示す。コンフィグレーションロムは、IEEE1394機器として備える能力や機器に与えられる識別子が記載されるBus\_info\_blockや、コンフィグレーションロムのディレクトリ構成などが示されるRoot\_directory、機器がサポートする上位アプリケーションが記述されるUnit\_directoryなどから構成され、1394がアドレス空間として採用しているCSR（Control and Status Registers）空間において、アドレス“FFFF F000 0400”（16進数）以降に格納されている。

【0008】このコンフィグレーションロムにおいて、SBP-2のターゲット機器であることは、Unit\_directoryに記述される。より具体的には、Unit\_directoryの中のunit\_spec\_idとunit\_sw\_versionの2つにその情報が記載されており、これらの値がそれぞれ“00 609E”（16進数）と“01 0483”（16進数）であれば、その機器はSBP-2のターゲット機器である。SBP-2のターゲット機器のコンフィグレーションロムにおけるUnit\_directoryには、これらのフィールド以外にSBP-2機器としてのパラメータがいくつか記載されている。例えば、csr\_offsetには、ログイン手順の開始を要求することをイニシエータがターゲットに通知する際に使用されるレジスタである、MANAGEMENT\_AGENTレジスタのCSR空間におけるオフセット値が示される。あるいは、機器が複数のハードディスクを備えているなどの場合に、それらを識別するために使用されるLogical\_Unit\_Numberの値が例えばUnit\_directoryには記載されている。

【0009】以上説明したコンフィグレーションロムの読み出しを図25に示す手順S3-1で行い、未だコネクションが確立されていないSBP-2のターゲット機器が検出された場合には、イニシエータは手順S3-2に移行する。検出されない場合には、ログイン手順を行う必要がないため終了する。なお、この検出の対象となるのは、図25に示す手順を行っているイニシエータ自身がコネクションを確立していない機器であり、同じIEEE1394バス上に接続されている他のイニシエータとの間で確立されたコネクションがそのターゲット機器にあるかどうかまではコンフィグレーションロムを読み出しただけでは判らない。

【0010】図25に示す手順S3-2では、検出されたターゲット機器との間でログイン手順が実行される。ログイン手順の詳細を図27に示す。はじめにイニシエータは、手順S4-1において、ログインする際のパラメータが記載され、イニシエータが格納しているログインリクエスト

(6)

9

の格納アドレスをターゲットのMANAGEMENT\_AGENTレジスタに書き込む。MANAGEMENT\_AGENTレジスタのアドレスは、上記した通り、ターゲット機器のコンフィグレーションロムに書かれている。続く手順S4-2および手順S4-3では、このMANAGEMENT\_AGENTレジスタに書かれたアドレスに対し、ターゲットからイニシエータに読み出し要求が送られ、続いてその応答が転送される。手順S4-3においてイニシエータからターゲットに送信されるログインリクエストのフォーマットを図28に示す。

【0011】図28に示されるとおり、ログインリクエストは32バイトの長さを持つデータである。ここでは、図に示されるうちのいくつかのフィールドについて説明する。login\_responseフィールドおよびlogin\_response\_lengthフィールドは、手順S4-6の処理においてターゲットがイニシエータにログイン・レスポンスを書き込む際のメモリのアドレスとサイズを指定する。exclusiveビット（図28ではxと省略されて表記）は、要求されるログインの排他性を表し、“1”であれば排他的なログインを要求し、“0”であれば複数の同時ログインをターゲットに対して許容する。functionフィールドは要求の種別を表し、“0”がログイン要求であることを示す。status\_FIFOフィールドは、手順S4-7の処理においてターゲットがイニシエータにログイン要求の処理結果を書き込む際のメモリのアドレスを指定する。

【0012】手順S4-3の処理が完了すると、続く手順S4-4および手順S4-5において、ターゲットはイニシエータのGUID (Global Unique Identifier) を読み出す。GUIDは、各IEEE1394機器にユニークに割り当てられた64ビットの識別子であり、図26に示すBus\_info\_blockに格納される、node\_vendor\_idとchip\_id\_hi、chip\_id\_loを組み合わせたものである。パケット転送時の宛先機器IDや送信元機器IDに使用される16ビットのノードIDは、機器の接続状況等によって値が変化しうるのに対し、このGUIDは不変であるため、機器を特定する目的ではGUIDが用いられる。

【0013】続く手順S4-6の処理では、図29に示されるフォーマットのログインレスポンスをターゲットがイニシエータに書き込む。ここでは、図に示されるうちのいくつかのフィールドについて説明する。login\_IDは、以降のデータ転送時にこのログインを示す識別子として使用される値である。command\_block\_agentには、データ転送時に使用されるcommand block agentレジスタ群のベースアドレスが格納される。

【0014】手順S4-6の処理が完了すると、続く手順S4-7の処理においてターゲットは、イニシエータのstatus\_FIFOにログイン要求に対する処理の結果が格納されたステータスブロック(status block)を書き込む。ステータスブロックのフォーマットを図30に示す。ここでは、図に示されるうちのいくつかのフィールドについて説明する。respフィールドは、要求に対する処理が正しく行

10

われたかどうかを示すためのフィールドである。例えば、値が“0”の場合は要求に対する処理が誤り無く実行されたことが示される。但し、これは、ログイン要求が成功したか失敗したかを表しているのではなく、その情報はsbp\_statusフィールドに表される。ORB\_offset\_hiとORB\_offset\_loは、このステータスブロックに書かれている処理結果がどの要求に対応するかを表しており、例えばログイン要求の場合は、図27に示す手順S4-1の処理においてターゲットのMANAGEMENT\_AGENTレジスタに書き込まれたログイン・リクエストの格納アドレスがこれらのフィールドに記載される。

【0015】この手順S4-7の処理で図25に示す手順S3-2の処理が完了する。ログイン要求が成功したことがステータスブロックに書かれていればコネクションが確立し、要求が失敗していればコネクションは確立されない。なお、ログイン要求に失敗した場合には、図27に示す手順S4-3の処理の後に要求失敗を示すsbp\_statusが含まれたステータスブロックを書き込む手順が手順S4-7の処理において行われ、その間の手順は行われない。

【0016】続いて、アクセス・プロトコルの一つとして規定されるリコネクション手順についてもここで簡単に説明する。前述の通りリコネクション手順は、IEEE1394バスにバスリセットが発生してバスが再構成されたあとにもコネクションを継続して確立させるための手順である。この手順を図31に示す。この図に示される手順に先立ち、図25に示されるログイン手順と同様に、イニシエータはバスに接続される各機器のコンフィグレーションロムを読み出して、バスリセット前にコネクションを確立していたターゲット機器を検索する。バスリセット前後でノードIDは変化しうるが、コンフィグレーションロムに記載されるGUIDは変化しないため、機器の検索に利用できる。ここで、リコネクションの対象となる機器が検索されると、図31に示される手順が実行される。

【0017】図31に示される手順S5-1から手順S5-3までの処理は、図27に示されるログイン手順と同様である。イニシエータがターゲットのMANAGEMENT\_AGENTレジスタにリコネクションリクエストのアドレスを書き込む手順（手順S5-1）によりリコネクション処理が開始され、ターゲットからのリコネクションリクエストの読み出し要求（手順S5-2）に応じてイニシエータがリコネクションリクエストを送信する（手順S5-3）。リコネクションリクエストのフォーマットを図32に示す。リコネクションの場合は、functionフィールドの値は“3”となる。また、ログインした時にターゲットから通知されたlogin\_IDも格納される。

【0018】手順S5-3の処理が完了すると、続く手順S5-4および手順S5-5の処理において、ターゲットはイニシエータのGUIDを読み出す。ログインの時にlogin\_IDとGUIDの対応が一度作られているため、この対応が変わっていないかどうかを確認するために読み出される。GUIDの



(7)

11

読み出し処理が完了すると、手順S5-6においてイニシエータのstatus\_FIFOに対する要求処理結果を書き込み、リコネクション手順が完了する。この手順はログイン手順における処理（図27の手順S4-7）と同じである。以上述べたリコネクション手順をリコネクションがタイムアウトする前に行うことにより、一度確立されたコネクションがバスリセットにより解放されることを防ぐことができる。

【0019】

【発明が解決しようとする課題】以上説明したように、SBP-2は、PC周辺機器をIEEE1394バスで接続するための規格である。このPC周辺機器の中には、特定のPCとの間にだけコネクションが確立されることが意図されている機器がある。例えば外付けハードディスク装置は、特定のPCのディスクドライブとしてのみ動作することが期待されると考えられる。しかし、IEEE1394バスに複数のPCが接続されている場合は、先にログイン手順を成功させたPCとの間でコネクションが確立されてしまう。ログイン手順をどのPCが先に成功させるというのは確率の問題であり、機器の接続や起動のたび毎に変動する。上述した通り、ログイン手順にはパスワードによる認証付きの手順も規格上は存在するが、現在市場に出ている機器ではこの手順がサポートされていない。このように、現在市販されているSBP-2機器には、ターゲットとコネクションを確立するイニシエータを特定することが出来ないという問題があった。

【0020】本発明は上記事情に鑑みてなされたものであり、機器が備えるポートを介し、前記複数の機器が相互接続されて構成されるシリアルバスにおいて、シリアルバスの規格に準拠した第1および第2の物理層LSIと、スイッチと、スイッチの開閉を制御するスイッチ制御手段とを備え、スイッチは、第1の物理層LSIの電源端子と第2の物理層LSIの電源端子との間に挿入され、スイッチ制御手段は、第1の物理層LSIの電源端子に正の直流電圧が入力され始めて以降定められた遅延時間が経過するまではスイッチを開け、前記の遅延時間が経過して以降はスイッチを閉じる制御を行うことにより、ユーザにより意図されたイニシエータとの間でコネクションを確実に確立できるような、接続制御機器を提供することを目的とする。

【0021】また、機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスの規格に準拠した物理層LSIにおいて、物理層LSIが備える複数のデータ信号送受信ポートのうち予め定められたポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御する制御信号が入力されるポート状態制御入力端子を備え、物理層LSIに電源が投入された直後における前記予め定められたポートの初期状態は、ディスエーブル状態であることとすることにより、

12

ユーザにより意図されたイニシエータとの間でコネクションを確実に確立できるような、物理層LSIを提供することも目的とする。

【0022】更に、同シリアルバスにおいて、第1、第2および第3のポートと、シリアルバスの規格に準拠した物理層LSIとを少なくとも備えた第1の制御機器と、シリアルバスに接続される機器の接続構成を調査するトポロジ調査手段と、第3のポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段とを少なくとも備えた第2の制御機器とから構成され、第2の制御機器は、第1のポート以降あるいは第2のポート以降に接続され、トポロジ調査手段は、シリアルバスの初期化手順が終了する度にシリアルバスの機器接続構成を調査し、第1のポートに第2の制御機器を除く機器が接続されていることと、シリアルバスの初期化手順が開始される前には接続されていなかった第2の制御機器を除く新たな機器が第2のポート以降に接続されていることが前記調査の結果とともに検出された場合、第3のポートを予め定められた遅延時間だけディスエーブル状態とし、前記の遅延時間が経過した後にポート状態制御手段が第3のポートをイネーブル状態とする制御がポート状態制御手段により行われることとすることにより、ユーザにより意図されたイニシエータとの間でコネクションを確実に確立できるような接続制御システムを提供することも目的とする。

【0023】

【課題を解決するための手段】上記した課題を解決するために請求項1に記載の接続制御機器は、機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、前記シリアルバスの規格に準拠した第1および第2の物理層LSIと、スイッチと、前記スイッチの開閉を制御するスイッチ制御手段とを備え、前記スイッチは、前記第1の物理層LSIの電源端子と前記第2の物理層LSIの電源端子との間に挿入され、前記スイッチ制御手段は、前記第1の物理層LSIの電源端子に正の直流電圧が入力され始めて以降定められた遅延時間が経過するまでは前記スイッチを開け、前記遅延時間が経過して以降は前記スイッチを閉じる制御を行うこととした。

【0024】請求項2に記載の接続制御機器は、機器が備えるポートを介し、前記複数の機器が相互接続されて構成されるシリアルバスにおいて、前記シリアルバスの規格に準拠した第1および第2の物理層LSIと、前記第1および第2の物理層LSIのリセット動作を各々制御する第1および第2のリセット制御手段とを備え、前記第1および第2のリセット制御手段は、前記第1および第2の物理層LSIに電源電圧が入力され始めて以降第1および第2の遅延時間が経過するまでは前記第1および第2の物理層LSIがリセット状態となるような制御信号を、前記第1および

13

第2の遅延時間が経過して以降は前記第1および第2の物理層LSIがリセット状態から復帰して通常動作を行うような制御信号を、それぞれ前記第1および第2の物理層LSIのリセット端子に入力し、前記第2の遅延時間は、前記第1の遅延時間に予め定められた時間を加えた値であることとした。

【0025】また、請求項3に記載の接続制御機器は、請求項1または2に記載の接続制御機器において、入力端子に入力される電圧を前記第1および第2の物理層LSIの電源電圧に変換して出力端子から出力する直流電圧変換手段を備え、前記直流電圧変換手段の入力端子は、データ転送用の端子が前記第1の物理層LSIと接続されている予め定められたポートの給電端子と接続されていることとした。更に、請求項4に記載の接続制御機器は、請求項1乃至請求項3のいずれか1項に記載の接続制御機器において、コンピュータの入出力機器接続用バスに接続可能なインタフェースを有するリンク層LSIを備え、前記リンク層LSIは前記第1の物理層LSIと接続されることとした。また、請求項5に記載の接続制御機器は、請求項4に記載の同方法において、前記コンピュータの入出力機器接続用バスがPCI (Peripheral Component Interconnect) バスであることとした。

【0026】請求項6に記載の物理層LSIは、機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスの規格に準拠した物理層LSIにおいて、前記物理層LSIが備える複数のデータ信号送受信ポートのうち予め定められたポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御する制御信号が入力されるポート状態制御入力端子を備え、前記物理層LSIに電源が投入された直後における前記予め定められたポートの初期状態は、ディスエーブル状態であることとした。

【0027】請求項7に記載の物理層LSIは、機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスの規格に準拠した物理層LSIにおいて、前記物理層LSIに電源が投入されて以降経過した時間を計測する時間計測手段と、前記物理層LSIが備える複数のデータ信号送受信ポートのうち予め定められたポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段とを備え、前記物理層LSIに電源が投入されて以降予め定められた遅延時間が経過したことを前記時間計測手段が示すまでの間は前記予め定められたポートを前記ディスエーブル状態とし、前記遅延時間が経過して以降は前記予め定められたポートを前記イネーブル状態とする制御が前記ポート状態制御手段により行われることとした。

【0028】請求項8に記載の接続制御機器は、機器が備えるポートを介して前記複数の機器が相互接続されて

(8)

14

構成されるシリアルバスの規格に準拠した物理層LSIにおいて、前記物理層LSIが備える複数のデータ信号送受信ポートのうち予め定められたポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御する制御信号が入力されるポート状態制御入力端子を備え、前記物理層LSIに電源が投入された直後における前記予め定められたポートの初期状態は、ディスエーブル状態である物理層LSIと、時間計測手段と、ポート状態制御手段とを備え、前記時間計測手段は、前記物理層LSIに電源電圧が入力され始めて以降の時間を計測し、前記ポート状態制御手段は、前記物理層LSIに電源電圧が入力され始めて以降予め定められた遅延時間が経過したことを前記時間計測手段が示すまでの間は前記予め定められたポートが前記ディスエーブル状態となるような、前記遅延時間が経過して以降は前記予め定められたポートが前記イネーブル状態となるような制御信号を前記ポート状態制御入力端子に入力することとした。

【0029】請求項9に記載の接続制御機器は、機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスの規格に準拠した物理層LSIにおいて、前記物理層LSIに電源が投入されて以降経過した時間を計測する時間計測手段と、前記物理層LSIが備える複数のデータ信号送受信ポートのうち予め定められたポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段とを備え、前記物理層LSIに電源が投入されて以降予め定められた遅延時間が経過したことを前記時間計測手段が示すまでの間は前記予め定められたポートを前記ディスエーブル状態とし、前記遅延時間が経過して以降は前記予め定められたポートを前記イネーブル状態とする制御が前記ポート状態制御手段により行われる物理層LSIを備えることとした。

【0030】請求項10に記載の接続制御機器は、請求項8または請求項9に記載の接続制御機器において、入力端子に入力される電圧を前記物理層LSIの電源電圧に変換して出力端子から出力する直流電圧変換手段を備え、前記直流電圧変換手段の入力端子は、予め定められたポートの給電端子に接続されていることとした。また、請求項11に記載の接続制御機器は、請求項8乃至請求項10のいずれか1項に記載の接続制御機器において、コンピュータの入出力機器接続用バスに接続可能なインタフェースを有するリンク層LSIを備え、前記リンク層LSIは前記物理層LSIと接続されることとした。更に、請求項12に記載の接続制御機器は、請求項11に記載の接続制御機器において、前記コンピュータの入出力機器接続用バスがPCI (Peripheral Component Interconnect) バスであることとした。

【0031】請求項13に記載の接続制御機器は、機器



15

が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、前記シリアルバスの規格に準拠した物理層LSIと、入力端子に入力される電圧を前記物理層LSIの電源電圧に変換して出力端子から出力する直流電圧変換手段と、スイッチと、前記スイッチの開閉を制御するスイッチ制御手段とを備え、前記直流電圧変換手段の入力端子は予め定められたポートの給電端子と接続され、前記直流電圧変換手段の出力端子は前記スイッチの一方の端子と接続され、前記スイッチの他方の端子は前記物理層LSIの電源端子と接続され、前記スイッチ制御手段は、前記直流電圧変換手段の入力端子に正の直流電圧が入力され始めて以降予め定められた遅延時間が経過するまでは前記スイッチを開け、前記遅延時間が経過して以降は前記スイッチを閉じる制御を行うこととした。

【0032】請求項14に記載の接続制御機器は、機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、前記シリアルバスの規格に準拠した物理層LSIと、入力される電圧を前記物理層LSIの電源電圧に変換して出力する直流電圧変換手段と、前記物理層LSIのリセット動作を制御するリセット制御手段とを備え、前記直流電圧変換手段の入力端子は予め定められたポートの給電端子と接続され、前記直流電圧変換手段の出力端子は前記物理層LSIの電源端子と接続され、前記リセット制御手段は、前記直流電圧変換手段の入力端子に正の直流電圧が入力され始めて以降予め定められた遅延時間が経過するまでは前記物理層LSIがリセット状態となるような制御信号を、前記遅延時間が経過して以降は前記物理層LSIがリセット状態から復帰して通常動作を行うような制御信号を、それぞれ前記物理層LSIのリセット端子に入力することとした。

【0033】請求項15に記載の接続制御機器は、機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、第1および第2および第3のポートと、前記シリアルバスの規格に準拠した物理層LSIと、前記シリアルバスに接続される機器の接続構成を調査するトポロジ調査手段と、前記第3のポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段とを備え、前記トポロジ調査手段は、前記シリアルバスの初期化手順が終了する度に前記シリアルバスの機器接続構成を調査し、前記第1のポートに他の機器が接続されていることと、前記シリアルバスの初期化手順が開始される前には接続されていない新たな機器が前記第2のポート以降に接続されていることが前記調査の結果とともに検出された場合、前記第3のポートを予め定められた遅延時間だけディスエーブル状態とし、前記遅延時間が経過した後前記ポート状態制御手段が前記第3のポートをイネーブル状態とする制御が前記ポート状態制御手段

(9)

16

により行われることとした。

【0034】請求項16に記載の接続制御機器は、機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、第1第2および第3のポートと、前記シリアルバスの規格に準拠した物理層LSIと、前記シリアルバスに接続される機器の接続構成を調査するトポロジ調査手段と、前記第3のポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段と、前記シリアルバスを転送するデータ信号を受信して解析するデータ解析手段とを備え、前記トポロジ調査手段は、前記シリアルバスの初期化手順が終了する度に前記シリアルバスの機器接続構成を調査し、前記第1のポートに他の機器が接続されていることと、前記シリアルバスの初期化手順が開始される前には接続されていない新たな機器が前記第2のポート以降に接続されていることが前記調査の結果とともに検出された場合には、前記ポート状態制御手段が前記第3のポートをディスエーブル状態として以降、前記第1のポートに接続される機器と前記第2のポート以降に接続される機器との間で行われる論理的接続手順が解析され、前記論理的接続手順が完了した時点で前記ポート状態制御手段が前記第3のポートをイネーブル状態とする制御が行われることとした。

【0035】また、請求項17に記載の接続制御機器は、請求項1乃至請求項5、請求項8乃至請求項16のいずれか1項に記載の接続制御機器において、前記シリアルバスがIEEE1394規格に準拠していることとした。更に、請求項18に記載の接続制御機器は、請求項16に記載の接続制御機器において、前記シリアルバスがIEEE1394規格に準拠し、前記論理的接続手順がシリアルバスプロトコル2 (SBP-2) 規格に基づいたログイン手順であることとした。また、請求項19に記載の接続制御機器は、請求項請求項6または請求項7に記載の接続制御機器において、前記シリアルバスがIEEE1394規格に準拠していることとした。

【0036】請求項20に記載の接続制御システムは、機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、第1および第2および第3のポートと、前記シリアルバスの規格に準拠した物理層LSIとを少なくとも備えた第1の制御機器と、前記シリアルバスに接続される機器の接続構成を調査するトポロジ調査手段と、前記第3のポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段とを少なくとも備えた第2の制御機器とから構成され、前記第2の制御機器は、前記第1のポート以降あるいは前記第2のポート以降に接続され、前記トポロジ調査手段は、前記シリアルバスの初期化手順が終了する度に前記シリアルバスの機器接続構

(10)

17

成を調査し、前記第1のポートに前記第2の制御機器を除く機器が接続されていることと、前記シリアルバスの初期化手順が開始される前には接続されていなかった前記第2の制御機器を除く新たな機器が前記第2のポート以降に接続されていることが前記調査の結果とともに検出された場合、前記第3のポートを予め定められた遅延時間だけディスエーブル状態とし、前記遅延時間が経過した後に前記ポート状態制御手段が前記第3のポートをイネーブル状態とする制御が前記ポート状態制御手段により行われることとした。

【0037】請求項21に記載の接続制御システムは、機器が備えるポートを介して前記複数の機器が相互接続されて構成されるシリアルバスにおいて、第2および第3のポートと、前記シリアルバスの規格に準拠した物理層LSIとを少なくとも備えた第1の制御機器と、前記シリアルバスに接続される機器の接続構成を調査するトポロジ調査手段と、前記第3のポートに対してデータ信号の送受信が不可能なディスエーブル状態とするかデータ信号の送受信が可能なイネーブル状態とするかを制御するポート状態制御手段と、前記シリアルバスを転送するデータ信号を受信して解析するデータ解析手段とを少なくとも備えた第2の制御機器とから構成され、前記第2の制御機器は、前記第1のポート以降あるいは前記第2のポート以降に接続され、前記トポロジ調査手段は前記シリアルバスの初期化手順が終了する度に前記前記シリアルバスの機器接続構成を調査し、前記第1のポートに前記第2の制御機器を除く機器が接続されていることと、前記シリアルバスの初期化手順が開始される前には接続されていなかった前記第2の制御機器を除く新たな機器が前記第2のポート以降に接続されていることが前記調査の結果とともに検出された場合、前記ポート状態制御手段が前記第3のポートをディスエーブル状態として以降、前記第1のポートに接続される機器と前記第2のポート以降に接続される通信機器との間で行われる論理的接続手順が解析され、前記論理的接続手順が完了した時点で前記ポート状態制御手段が前記第3のポートをイネーブル状態とする制御が行われることとした。

【0038】また、請求項22に記載の接続制御システムは、請求項20または請求項21に記載の接続制御システムにおいて、前記シリアルバスがIEEE1394規格に準拠していることとした。更に、請求項23に記載の接続制御システムは、請求項22に記載の接続制御システムにおいて、前記シリアルバスがIEEE1394規格に準拠し、前記論理的接続手順がシリアルバスプロトコル2 (SBP-2) 規格に基づいたログイン手順であることとした。

【0039】上述したように、接続制御機器は、2個の物理層LSIと6ピンコネクタ、直流電圧変換IC、タイマIC、キャパシタで構成され、ポートA、B、Cとを備えている。ポートAとBには、コネクションを確立することが意図されたPCと周辺機器がそれぞれ接続され、ポートCに

18

は、ポートBに接続される周辺機器とコネクションを確立することが意図されていないPCが接続される。ポートAとBは物理層LSIと、ポートCは物理層LSIとそれぞれ接続される。また、直流電圧変換ICの入力端子はポートAから給電されるように接続され、タイマICの出力端子は物理層LSIのリセット端子に接続される。この物理層LSIは、ポートAから給電が開始されて以降一定時間が経過するまではリセット状態となり、一定時間が経過して以降は通常動作状態となるようにタイマICにより制御される。このことにより、シリアルバス上で論理的な接続が行われるプロトコルを利用する際に、ユーザが意図した通信機器間で論理的な接続を確実に確立させることが可能となる。

【0040】

【発明の実施の形態】以下本発明の実施の形態について図面を参照しながら詳細に説明する。図1は、本発明の第1の実施の形態におけるIEEE1394バスの接続構成を示す図である。ここでは、接続制御機器10と、PC 20および21、ハードディスク装置30、バスアナライザ40および41により、IEEE1394バスシステムが構成されている。本発明実施の形態で使用されるPC 20および21は、6ピンの1394コネクタを有しており、IEEE1394バスに給電する能力を持つ。ここで、IEEE1394で規格化されているコネクタの端子と他の素子との結線方法について、図2を用いて簡単に説明する。

【0041】IEEE1394では、図に示されるような6ピンコネクタ60が規格化されている。6つの端子のうち4端子（端子番号3～6）は、ともに差動信号であるデータ信号とストロブ信号を伝送するための端子であり、機器内では物理層LSI 50の当前記端子と、またケーブル70とはその内部のツイストペア線とそれぞれ接続される。一方、残りの2端子（端子番号1および2）は、ケーブルを介して給電するための端子である。各機器は、他の機器に給電する能力と、他の機器から給電されて動作する機能との双方あるいは一方を持っても良いし、ともに持たなくても良い。図2に示す例では、他の機器に給電する能力と、他の機器から給電されて動作する機能との双方を持つ電源回路構成の例が示されている。

【0042】はじめに、他の機器に給電する場合は、自らが備える電圧源90から出力される給電電圧が、ダイオード100を経由した後、6ピンコネクタ60の端子番号1番の端子を介してケーブル70に出力される。1394規格では、ケーブルに出力される給電電圧値が8Vから40Vの範囲内と規定されている。ダイオード100の出力は、同時に自らが備える直流電圧変換IC 80に入力されて物理層LSI 50の電源電圧に変換された後、物理層LSI 50に入力される。一方ケーブル70を介して他の機器から給電される場合には、6ピンコネクタ60の端子番号1番の端子から入力された給電電圧が直流電圧変換IC80に入力される。この給電電圧が電圧源90の出力端子に印加されることは

(11)

19

ダイオード100によって阻止されるため、電圧源90が壊れることはない。以上のような構成により、機器に電源が入っていない場合でも、他の機器からの給電によって動作することが出来る。なお、現在審議中の拡張規格であるIEEE P1394aでは、2つの給電用端子を除いて小型化を図った4ピンのコネクタも草案規格に盛り込まれている。

【0043】ここで使用されるハードディスク装置30は、SBP-2規格に準拠したPC用周辺装置である。このハードディスク装置30は、PC 20のディスクドライブとして機能することが意図されており、SBP-2のプロトコル自体は、PC 20とPC 21のどちらのディスクドライブとしてハードディスク装置30が設定されるかを保証せず、ハードディスク装置30に対して先にログイン手順を成功させたPCのディスクドライブとなる。接続制御機器10は、このような環境において、ハードディスク装置30が意図したPCのディスクドライブに確実になるようにさせることを目的に付加されている。具体的には、PCの周辺機器を接続制御機器10のポートBに、この周辺機器の接続先と意図されるPCを接続制御機器10のポートAに、この周辺機器の接続先となりうるが、接続先とは意図されていない機器をポートCにそれぞれ接続することにより、目的が達せられる。周辺機器に対して接続先となり得ない機器は、どのポートに接続されてもよい。従って本発明実施の形態においては、接続制御機器10のポートA、ポートB、ポートCに、PC 20、ハードディスク装置30、PC 21がそれぞれ接続されている。

【0044】なお、IEEE1394バスアナライザ40および41は、IEEE1394バスにおける機器の接続状況をディスプレイに表示したり、バス上を転送されるパケットを受信してそれをディスプレイに表示したりする機能を有する測定器であり、それぞれPC 20および21に接続される。

【0045】接続制御機器10の内部構成を図3に示す。接続制御機器10は、IEEE1394物理層LSI 50および51と、直流電圧変換IC 80、タイマIC 110、6ピンコネクタ60～62、キャパシタ120とから構成されている。物理層LSI 50および51の電源端子（図3のVDD端子）は直流電圧変換IC 80の出力端子のみに接続されている。この直流電圧変換IC 80の入力端子は6ピンコネクタ60の端子番号1に接続されるため、物理層LSI 50および51は、ポートAに接続されるPC 20から給電された時にのみ動作する。また、ポートA、ポートB、ポートCは、それぞれ物理層LSI 50のポート0、物理層LSI 50のポート1、物理層LSI 51のポート2に接続され、さらに物理層LSI 50のポート2と物理層LSI 51のポート0とは接続制御機器10の内部で接続されている。なお、物理層LSIのポートと6ピンコネクタとの間の結線や、物理層LSI間の結線は、図3では簡単のため1本の実線で表しているが、具体的には図2に示される通り4本の信号線が結線されている。また、物理層LSIと6ピンコネクタの間には、終端抵抗やノイズ除去用

20

フィルタなどの受動素子が接続されるが、ここでは、簡単のため図3では省略されている。

【0046】物理層LSI 50および51は、LSIの動作を初期化するリセット端子（図3のRST端子）を備えている。このリセット端子に入力されるリセット信号の仕様は、2値信号で低レベルの電圧（以下、L0と記述する）を入力すればLSIは初期化され、高レベルの電圧（以下、HIGHと記述する）を入力すればLSIは通常動作するというものである。このリセット端子はLSI内部で抵抗を介してプルアップされているため、物理層LSI50のようにリセット端子とグランドとの間に接続されるキャパシタ120を用いれば、VDD端子に電源電圧が印加されてキャパシタ120が充電され始めた直後はリセット端子の電圧が“LOW”なので物理層LSI 50はリセット状態であり、キャパシタ120が十分に充電されるとリセット端子の電圧が“HIGH”になるので物理層LSI 50が通常動作となるようにすることができる。本発明実施の形態において用いられるキャパシタ120の容量は、電源投入からリセット状態が解除されるまでの時間を約100ミリ秒とする。

【0047】一方、物理層LSI 51のリセット端子には、タイマIC 110の出力端子が接続される。タイマIC 110は、入力端子に閾値を越える電圧が入力され始めて以降の経過時間を計測し、この経過時間が2分となるまではLOWレベルを出力し、経過時間が2分を越えたら“HIGH”レベルを出力する仕様を持つ。このタイマIC 110の入力端子を直流電圧変換IC 80の入力端子と接続し、かつタイマIC 110の入力電圧の閾値を7 Vに設定することにより、ポートAから給電が開始されてから2分間は物理層LSI 51をリセット状態とすることが出来る。一方物理層LSI 50は、上述した通り、ポートAから給電が開始されてから約100ミリ秒でリセット状態が解除されるため、ポートAから給電が開始されて以降2分間は物理層LSI 50のみが動作し、2分間経過以降は2つの物理層LSI50、51がともに動作する。

【0048】PC 20には電源が入っていない状態で図1に示されるように機器を接続し、PC 20に電源を投入してから1分が経過したときにバスアナライザ40および41で観測された1394バスの接続構成と、5分が経過した時に観測されたIEEE1394バスの接続構成を図4と図5にそれぞれ示す。PC 20に電源を投入してから1分が経過した時点では、図4に示されるとおり、バスアナライザ40で観測された1394バスの接続構成（図4の(a)）とバスアナライザ41で観測されたそれ（図4の(b)）とが異なっている。これは、物理的には全ての通信機器が接続されているにも関わらず、物理層LSI 51がリセット状態であるためにバスがここで分断され、2つの異なるバスが構成されたことを示している。

【0049】バスアナライザ40で観測されたバスには、バスアナライザ40とPC 20、物理層LSI 50、ハードディスク装置30とが接続されている。図において各機器の初

(12)

21

めに記載されている数字は、バスが構成される際に各々の機器に割り当てられるフィジカルIDを示しており、その値が最も大きいPC 20がパケット送信の許可を各機器に与えるルートノードとして機能している。一方、バスアナライザ41で観測されたバスには、バスアナライザ41とPC21とが接続されており、フィジカルIDの値が最も大きいPC 21がルートノードとして機能している。続いて、PC 20に電源を投入してから5分が経過した時点では、バスアナライザ40とバスアナライザ41とのそれぞれで観測された1394バスの接続構成は、ともに図5に示されるものであった。これは、PC 20に電源が投入されてから2分が経過した時点で物理層LSI 51のリセット状態が解除され、物理的に接続される全ての機器で一つのバスが構成されたためである。物理層LSI 51は、リセット状態が解除された時点でバスの再構成のトリガとなるバスリセットを発生させる。その後のバスの再構成で、図5に示されるように、フィジカルIDが各機器に割り当てられる。

【0050】PC 20に電源が投入されて以降にバスに転送されたパケットやバスリセットイベントを、バスアナライザを用いて解析した結果を図6に示す。図では、模様の異なる5種類の長方形を用いて解析結果を模式的に示している。なお、バスリセットは、実際にはパケットが転送されるものではない。また、それ以外の4種類の長方形は、それぞれがパケット1つを表すのではなく、複数のパケット転送が行われていたことを表している。図では、PC 20に電源が投入された時点時刻0として時刻表示している。

【0051】バスアナライザ40では、PC 20に電源が投入されたことによるバスリセットが時刻0に観測される。その後、フィジカルIDの割り当て手順であるセルフIDプロセスにおいて各機器の物理層LSIが送信するセルフIDパケットが観測され、続いてPC 20が各機器のコンフィグレーションロムの読み出しを行っている様子が観測される。具体的には、コンフィグレーション・ロムの読み出し対象機器に対してPC 20がリードリクエストパケットを送信し、それを受信した機器がコンフィグレーションロムのデータを格納したリードレスポンスパケットをPC 20に応答している様子が観測される。このコンフィグレーションロムの読み出しにより、フィジカルID 1番の機器がSBP-2に準拠した機器であることをPC 20が

【0052】一方、バスアナライザ41では、物理層LSI 51が通常動作をしていないため、PC20への電源投入により発生した時刻0におけるバスリセットと、その後のセルフIDパケットなどは観測されず、バスアナライザ40に

22

よる観測結果とは異なるデータ転送用パケットが時刻が2分になるまで観測されている。時刻が2分になると、物理層LSI 51のリセット状態が解除されて全体で一つのバスが構成されるため、2つのバスアナライザの観測結果は同じものとなっている。まず時刻2分の時点でバスリセットが観測され、その後、セルフIDパケット、コンフィグレーションロムの読み出し、SBP-2アクセスプロトコルの順にパケット転送の様子が観測される。SBP-2アクセスプロトコルの部分では、時刻2分に発生したバスリセットの前からログインしていたPC 20は、ハードディスク装置30に対してリコネクションを要求し、このバスリセット後に初めてハードディスク装置を検出したPC 21はログイン要求を行う。その結果、PC 20とハードディスク装置30との間のリコネクション手順は成功し、PC 21によるログイン要求が失敗に終わっている。その後、PC 20とハードディスク装置30との間のデータ転送用パケットが観測されている。

【0053】このように、接続制御機器10を用いて、PC 20とハードディスク装置30との間にSBP-2のコネクションが確立するまでの間はPC 21からハードディスク装置30が検出できないようにすることにより、PC 20とハードディスク装置30との間のコネクションを信頼性高く確立することが出来る。

【0054】なお、上述した本発明実施の形態では、タイマIC 110がLOWレベルを出力する時間を2分と設定したが、この値は、PC 20に電源が投入されてからハードディスク装置30との間でコネクションが確立されるまでの時間を超える値であればいくらかでも良い。また、本発明実施の形態で用いられた接続制御機器10は、図3に示されるように、直流電圧変換IC 80に閾値を超える電圧が入力されてからタイマIC 110が経過時間の計測を開始したが、これを、直流電圧変換IC 80から閾値を超える電圧が出力されてから経過時間の計測を開始するように変更しても良い。更に、本発明における第1の実施の形態の第1の変形例として、図7に示される内部構成の接続制御機器10を用いることも可能である。図7では、物理層50と51のリセット端子がキャパシタ120および121にそれぞれ接続される。電源投入からリセット端子の電圧がL0である時間は、キャパシタへの充電時間、即ち、キャパシタの容量とLSI内部のプルアップ抵抗の抵抗値との積で定められ、キャパシタの容量が大きいほどその時間は長い。即ち、キャパシタ121の容量を、必要な時間差が得られる程度にキャパシタ120の容量に比べて大きくすればよい。

【0055】また、本発明における第1の実施の形態の第2の変形例として、図8に示される内部構成の接続制御機器10を用いることも可能である。本構成では、物理層LSI50の電源端子と物理層LSI 51の電源端子との間にスイッチ130が挿入される。このスイッチ130は、“LOW”レベルの制御信号が入力されるとスイッチ130を開き、

(13)

23

“HIGH” レベルの制御信号が入力されるとスイッチ130を閉じる仕様であり、その制御信号としてタイマIC 110の出力信号が入力される。タイマIC 110は、図3で用いられたタイマICと同じ仕様であるため、結果として、直流電圧変換IC 80に閾値を超える電圧が入力され始めて以降2分間が経過するまではスイッチ130が開いて物理層LSI 51には電源電圧が入力されず、2分間が経過して以降はスイッチ130が閉じて物理層LSI 51が動作を開始する。このような構成で、図3あるいは図7に示される接続制御機器10と同等の機能が得られる。

【0056】次に、本発明における他の実施の形態（第2実施の形態）について詳細に説明する。図9は、本発明の第2実施の形態におけるIEEE1394バスの接続構成を示す図である。ここでは、接続制御機器10と、PC 20、PC 21、ハードディスク装置30、バスアナライザ40、バスアナライザ41により、IEEE1394バスシステムが構成されている。ここで用いられる接続制御機器10は、PC 20が備えるPCIバスに接続される。接続制御機器10の内部構成を図10に示す。本接続制御機器10は、物理層LSI 50および51、6ピンコネクタ60および61、直流電圧変換IC 80および81、タイマIC 110、キャパシタ120、リンク層LSI 140、PCIインタフェース150とから構成され、PCIインタフェース150を介してPC 20とリンク層LSI 140とが接続される。なお、PCIバスはパラレルバスであるが、図10では簡単のためにデータおよびアドレス線を1本の実線で表し、また電源線をもう1本の実線で表している。

【0057】物理層LSI 50とリンク層LSI 140とは、互いに有するPHY/LINKインタフェースを介して接続されている。一方、物理層LSI 51はPHY/LINKインタフェースを介して接続されるリンク層LSIはなく、自らのポート0が物理層LSI 50のポート2と接続される。このような接続構成とすることにより、物理層LSI 50に割り当てられるフィジカルIDで識別される機器はPC 20と認識され、物理層LSI 51に割り当てられるフィジカルIDで識別される機器はコンフィグレーションROMを持たない機器として認識される。

【0058】物理層LSI 50、51は、PCIインタフェース150および直流電圧変換IC 80を介してPC 20から供給される電源により動作する。同様にリンク層LSI 140は、PCIインタフェース150および直流電圧変換IC 81を介してPC 20から供給される電源により動作する。なお、PC 20からの電源は、PCに電源が投入されている間のみ供給される。物理層LSI 50のポート1は6ピンコネクタ60と接続され、PCの周辺機器接続用ポートであるポートBとして機能する。一方、物理層LSI 51のポート2は、6ピンコネクタ61と接続され、周辺機器以外の機器が接続されるポートであるポートCとして機能する。物理層LSI 51のリセット端子は、タイマIC 110の出力端子と接続される。タイマIC 110は、図3に示される本発明による第1の実施の形態で用いられたタイマICと同じ仕様であるため、結果

24

として、直流電圧変換IC 80にしきい値を超える電圧が入力され始めて以降2分間が経過するまでは物理層LSI 51はリセット状態であり続け、2分間が経過して以降は物理層LSI 51が通常動作を開始する。

【0059】PC 20には電源が入っていない状態で図9に示されるように機器を接続し、PC 20に電源を投入してから1分が経過したときにバスアナライザ40および41で観測された1394バスの接続構成と、5分が経過した時に観測されたIEEE1394バスの接続構成を図11と図12にそれぞれ示す。本発明における第1の実施の形態と同様に、物理層LSI 51がリセット状態であり続ける、PC 20に電源が投入されてから2分間の間は、バスアナライザ40で観測された接続構成（図11(a)）とバスアナライザ41で観測された接続構成（図11(b)）は異なっているのに対し、2分間が経過して以降は全体でひとつのバスが構成されて両バスアナライザで観測される接続構成（図12）は等しくなる。

【0060】以上述べたような構成を用いることにより、PC 20とハードディスク装置30との間のコネクションを確実に確立することが可能となる。また、ここで示される実施の形態では、上述した第1実施の形態と比較して、PCと接続制御機器とを合わせた物理層LSIの数を1つ減らすことが出来る。これは部品点数を減らすことのみならず、利用できるフィジカルIDを一つ増やすことにもつながる。即ち、バスに接続できる機器を一つ増やすことが可能となる。

【0061】なお、以上述べた本発明実施の形態では、物理層LSI 50のポート0は未使用だったが、このポートをポートBと同等の機能を持つポートとして使用しても良い。また、図7に示されるようなタイマICの代わりにキャパシタを用いてリセット解除の時間差を付ける方法や、図8に示されるような、スイッチを用いて電源電圧入力に時間差を付ける方法を適用することも可能である。

【0062】図13は、本発明の更に他の実施の形態（第3の実施の形態）を示す図であり、具体的には接続制御機器10の内部構成を示す図である。この接続制御機器10は、図1に示されるIEEE1394バスで用いられたものと同様である。この接続制御機器10は、物理層LSI 50と、直流電圧変換IC 80、タイマIC 110とから構成される。ここで用いられる物理層LSI 50は、ポート2に対して、信号の送受信を行わず、電源が入っていない状態と等価であるディスエーブル状態と、信号の送受信を行うイネーブル状態とを外部から制御することが可能なポート端子を備えている。このポート端子に“LOW”レベルの信号が入力されると、ポート2はディスエーブル状態となり、“HIGH”レベルの信号が入力されるとイネーブル状態となる。上述した本発明の第1実施の形態で用いられたのと同じ仕様のタイマIC 110の出力端子をこのポート端子に接続することにより、ポートAからの電源投入直



(14)

25

後から2分間が経過するまではポート2はディスエーブル状態、それ以降はイネーブル状態となる。このような構成とすることにより、ポートAに接続されるPCとポートBに接続される周辺機器との間に確実にコネクションが確立されることが確認された。

【0063】このような機能を持つ物理層LSIを接続制御機器10として用いることにより、部品点数やフィジカルID資源を第1あるいは第2の実施の形態に比べて減らすことが出来る。また、本発明実施の形態の第1の変形例として、図14に示される構成の接続制御機器10を用いることも可能である。ここで用いられている物理層LSI 50は、図13に記載されるタイマIC 110が備える経過時間計測機能を内蔵している。この例では、計測される経過時間は物理層LSI 50のディレイ端子（図14ではDELと表記）に接続されるキャパシタ120と抵抗160とで決定される時定数により調整可能だった。このようにCR時定数で経過時間を調整することも可能であるし、クロックの立ち上がり回数を計測するカウンタを用いて経過時間を調整することも可能である。

【0064】更に、本発明実施の形態の第2の変形例として、図15に示されるようなPCIバスを介して接続される形態の接続制御機器を構成することも可能である。この図では、図14に示される接続制御機器10で使用された物理層LSI 50が用いられている。図では、物理層LSI 50のポート1は未使用であるが、このポートを周辺機器接続用のポートBとして使用することも可能である。

【0065】次に、本発明による更に他の実施の形態（第4実施の形態）について説明する。ここでは、図16に示されるIEEE1394バスにおいて、PC 20とハードディスク装置30との間のコネクションを確実に確立する目的で接続制御機器10が用いられる。本接続制御機器10は、PCを接続するポートAと、周辺機器の接続先となりうるけれども接続先とは意図されていない機器を接続するポートCとを備え、その内部構成は図17に示されている。接続制御機器10は、物理層LSI 50と直流電圧変換IC 80、タイマIC 110とから構成される。タイマIC 110の出力端子と物理層LSI 50のリセット端子を接続することにより、ポートAからの給電が開始されて以降90秒間は物理層LSI 50をリセット状態に、それ以降は通常動作状態にさせる。これにより、ポートA側に接続されるハードディスク装置30は、ポートC側に接続されるPC 21から90秒間は検出されず、PC 20とハードディスク装置30との間のコネクションを確実に確立することが出来る。

【0066】このように、PC 20が2つ以上のポートを備え、そのポートに周辺機器が接続できる場合には、接続制御機器10に実装される物理層LSIの数を1つとすることが可能である。

【0067】続いて、本発明による更に他の実施の形態（第5実施の形態）について説明する。ここでは、図1に示されるIEEE1394バスにおいて、図18に示される内部構

26

成を有する接続制御機器10が使用される。図に示されるとおり、接続制御機器10は、物理層LSI 50、リンク層LSI 140、CPU 170、ROM 180、RAM 190とから構成される。接続制御機器10には、図19に示されるフローチャートに基づいて処理を行うプログラムが実装される。はじめに状態S1-1において、ポートAに機器が接続されているか、さらに、ポートB以降に新規に接続された機器が存在するかの2つが調べられる。ポートAの接続状況は、物理層LSI 50が内蔵するレジスタに書かれているため、リンク層LSI 140を介してこのレジスタを読むことにより調べられる。

【0068】一方ポートB以降の接続状態とは、例えば図1においてはポートBにハードディスク装置30のみが接続されているが、このハードディスク装置30の空きポートに更に他の機器が接続されているか否かも解析することである。続く状態S1-2では、ポートAに接続された機器があるか否かで条件分岐が行われる。接続機器がないということは周辺機器とコネクションを確立すべきPCが存在しないということであるため、ポートCをディスエーブル状態に設定して処理を終了する。一方、ポートAに接続される機器がある場合は状態S1-3に移行する。状態S1-3では、ポートBに新たに接続された機器があるか否かで条件分岐が行われる。新たに接続された機器がないということはPCが新たにログイン手順を実行すべき周辺機器が存在しないということであるため、ポートC側の機器とポートAのPCとの間で通信が可能であるようにポートCをイネーブル状態として処理を終了する。一方、新たな機器が接続されている場合は状態S1-4に移行する。ここでは、予め定められた時間の間だけポートCをディスエーブル状態とし、その時間が経過したらポートCを再びイネーブル状態にする処理が行われる。

【0069】本手順の変形例として、図19の状態S1-4の処理を図20に示される手順の処理に変更することも可能である。ここでは、ポートCをディスエーブル状態とする時間を固定の時間とせず、ログイン手順の進行状況をモニタして、それが終了した時点でポートCをイネーブル状態にする処理が示されている。ログイン手順の状況をモニタするためには、バス上の全てのパケットを受信するモードにリンク層LSI 140を設定する必要がある。通常のリンク層LSI 140は、自身に割り当てられたノードIDと同じ値が宛先IDに書かれたパケットのみを受信してそれ以外は無視する処理が行われるが、ログイン手順をモニタするためには、宛先IDに依らず全てのパケットを受信する必要がある。ログイン手順が終了した時点でリンク層LSIを通常受信モードに戻し、さらにポートCをイネーブル状態にして状態S1-4の処理を終了する。

【0070】続いて、本発明による更に他の実施の形態（第6実施の形態）について説明する。ここでは、図1に示されるIEEE1394バスを用いて行われる。ここで用いら

(15)

27

れる接続制御機器10には、図21に示されるとおり、ポートAに接続されたPCからの給電によって起動する物理層LSI 50が実装される。なお、PC 20は、接続制御機器10のポートAとの接続は、PC 20のポート0と行うことが指定されているものとする。ここでは、接続制御機器10が備える物理層LSI 50のポート2の状態を制御するソフトウェアをPC 20に実装し、それを用いてPC20とハードディスク装置30との間で確実にコネクションを確立する方法が用いられた。即ちここでは、SBP-2機器の接続制御を行うための、PC 20と接続制御機器10とからなるシステムが用いられている。

【0071】PC 20に実装されたソフトウェアが行う処理のフローチャートを図22に示す。初めの状態S2-1では、接続制御機器10が備える物理層LSI 50に割り当てられたフィジカルIDが調べられる。これは、セルフIDパケットを解析することにより可能である。即ち、セルフIDパケットには各機器のポートの接続情報が全て記載されているため、これから解析されるバスのトポロジと、物理層LSIはPC 20のポート0と接続されているという条件とを用いることにより調べられる。続くS2-2では、物理層LSI 50のポート1以降に新たに接続された機器が存在するか否かが調査される。新たに接続された機器が存在する場合には、状態S2-3に移行して一定時間の間ポートC（物理層LSI 50のポート2）をディスエーブル状態とする。これは、具体的には、IEEE P1394a草案規格に記載されるリモートコマンドパケットを用いる。リモートコマンドパケットのフォーマットを図23に示す。図のphy\_IDに物理層LSI 50のフィジカルIDを、ポートに対象となるポート番号である2を格納する。cmdフィールドには、ポートをディスエーブル状態とする場合には1を、イネーブル状態とする場合には5を格納する。

【0072】第6実施の形態の変形例として、図22における状態S2-3の処理を図24に示される処理に置き換えることも可能である。ここでは、予め定められた時間の間ポートをディスエーブル状態にするのではなく、ログイン手順が完了したら直ちにディスエーブル状態を解除する。PC 20は、接続制御機器10のポートを制御する機器であると同時にハードディスク装置30とログイン手順を行う機器であるため、ログイン手順の進行状況に応じて接続制御機器10のポート制御を行うことが容易である。

【0073】なお、以上述べた全ての実施の形態において、接続制御機器10には6ピンコネクタが用いられたが、他の機器から給電されるポート以外は4ピンコネクタが用いられてもよい。また、以上述べた全ての実施の形態において、SBP-2準拠の周辺機器にハードディスク装置が用いられたが、他の蓄積装置やプリンタなどが用いられてもよい。更に、コネクションを確立するプロトコルとしてSBP-2を用いた説明を行ったが、IEEE1394バス上で論理的な接続制御を行う他のプロトコルが用いら

28

れてもよい。さらに、IEEE1394バス以外のシリアルバス規格に対して本発明を適用することも可能である。

【0074】

【発明の効果】以上説明したように本発明は、接続制御機器が持つポートAとBには、コネクションを確立することが意図されたPCと周辺機器がそれぞれ接続され、ポートCには、ポートBに接続される周辺機器とコネクションを確立することが意図されていないPCが接続される。更に、ポートAとBは物理層LSIと、ポートCは物理層LSIとそれぞれ接続される。また、直流電圧変換ICの入力端子はポートAから給電されるように接続され、タイマICの出力端子は物理層LSIのリセット端子に接続される。この物理層LSIは、ポートAから給電が開始されて以降一定時間が経過するまではリセット状態となり、一定時間が経過して以降は通常動作状態となるようにタイマICにより制御される。このことにより、シリアルバス上で論理的な接続が行われるプロトコルを利用する際に、ユーザが意図した機器間で論理的な接続を確実に確立させることが可能となる。

【図面の簡単な説明】

【図1】 本発明における第1の実施の形態における1394バスの接続構成を示す図である。

【図2】 IEEE1394規格における、物理層LSIと電源回路、コネクタ、ケーブルの結線を模式的に表した図である。

【図3】 本発明における第1の実施の形態で用いられた接続制御機器の内部構成を示すブロック図である。

【図4】 図1に示されるIEEE1394バスにおいて、PCに電源を投入してから1分が経過したときにバスアナライザで観測されるIEEE1394バスの接続構成を示す図である。

【図5】 図1に示されるIEEE1394バスにおいて、PCに電源を投入してから5分が経過したときにバスアナライザで観測されたIEEE1394バスの接続構成を示す図である。

【図6】 図1に示されるIEEE1394バスにおいて、PCに電源が投入されて以降にバスに送信されたパケットやバスリセットイベントの発生をバスアナライザで観測した結果を示す図である。

【図7】 本発明の第1の実施の形態における第1の変形例で用いられた、接続制御機器の内部構成を示すブロック図である。

【図8】 本発明の第1の実施の形態における第2の変形例において用いられた、接続制御機器の内部構成を示すブロック図である。

【図9】 本発明の第2の実施の形態におけるIEEE1394バスの接続構成を示す図である。

【図10】 本発明の第2の実施の形態において用いられた接続制御装置の内部構成を示すブロック図である。

【図11】 図9に示されるIEEE1394バスにおいて、PC

(16)

29

に電源を投入してから1分が経過したときにバスアナライザで観測されたIEEE1394バスの接続構成を示す図である。

【図12】 図9に示されるIEEE1394バスにおいて、PCに電源を投入してから5分が経過したときにバスアナライザで観測されたIEEE1394バスの接続構成を示す図である。

【図13】 本発明の第3の実施の形態で用いられる接続制御装置の内部構成を示すブロック図である。

【図14】 本発明の第3の実施の形態における接続制御装置の第1の変形例を示すブロック図である。

【図15】 本発明の第3の実施の形態における接続制御装置の第2の変形例を示すブロック図である。

【図16】 本発明の第4の実施の形態におけるIEEE1394バスの接続構成を示す図である。

【図17】 本発明の第4の実施の形態で用いられる接続制御装置の内部構成を示すブロック図である。

【図18】 本発明の第5の実施の形態において用いられる接続制御装置の内部構成を示すブロック図である。

【図19】 本発明の第5の実施の形態において用いられる接続制御装置が行なう処理をフローチャートで示した図である。

【図20】 図19に示される状態S1-4の処理の変形例をフローチャートで示した図である。

【図21】 本発明の第6の実施の形態において用いられる接続制御装置の内部構成を示すブロック図である。

【図22】 本発明の第6の実施の形態においてPCに実装されるソフトウェアの処理をフローチャートで示した図である。

【図23】 IEEE P1394a草案規格に記載されるリモートコマンドパケットのフォーマットを示す図である。

30

【図24】 図22に示される状態S2-3の処理の変形例をフローチャートで示した図である。

【図25】 SBP-2において、イニシエータとターゲットがコネクションを確立するログイン手順の流れを説明する図である。

【図26】 SBP-2のターゲット機器が備えるコンフィグレーションROMのフォーマットの一例を示す図である。

【図27】 ログイン手順の流れをフローチャートで示した図である。

【図28】 イニシエータが保持しているログインリクエストのフォーマットを示した図である。

【図29】 ターゲットがイニシエータに書き込むログインレスポンスのフォーマットを示した図である。

【図30】 ログイン要求に対する処理結果が格納されたステータスブロックのフォーマットを示した図である。

【図31】 リコネクション手順の流れk詳細を説明するために引用した図である。

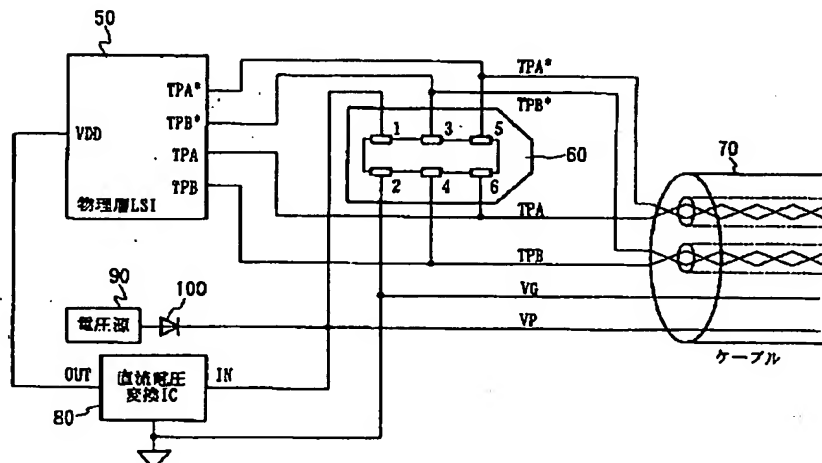
【図32】 イニシエータが保持しているリコネクションリクエストのフォーマットを示した図である。

【符号の説明】

10…接続制御機器、20、21…パーソナル・コンピュータ(PC)、30…ハードディスク装置、40、41…バスアナライザ、50、51…物理層LSI、60、61、62…6ピンコネクタ、70…ケーブル、80、81…直流電圧変換IC、90…電圧源、100…ダイオード、110…タイマIC、120、121…キャパシタ、130…スイッチ、140…リンク層LSI、150…PCIインタフェース、160…抵抗、170…CPU、180…ROM、190…RA

30 M

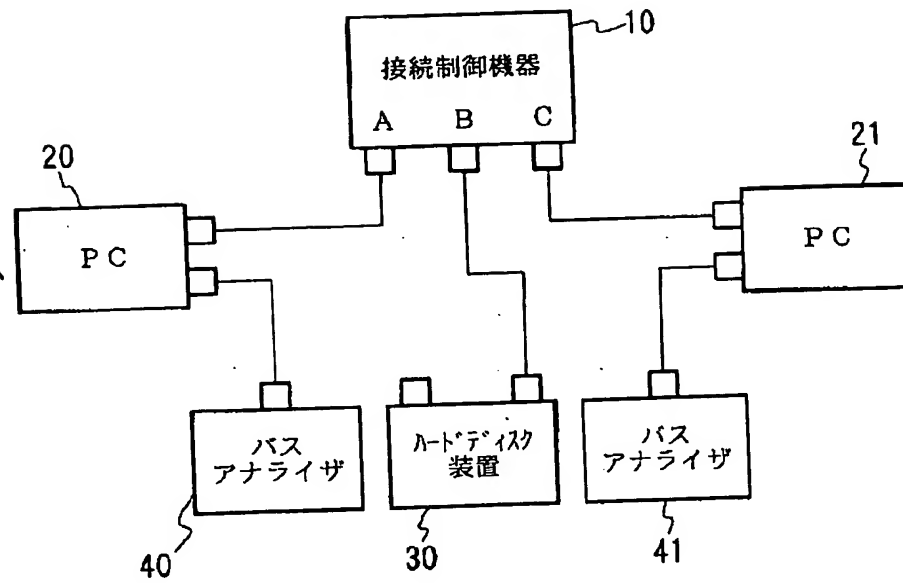
【図2】



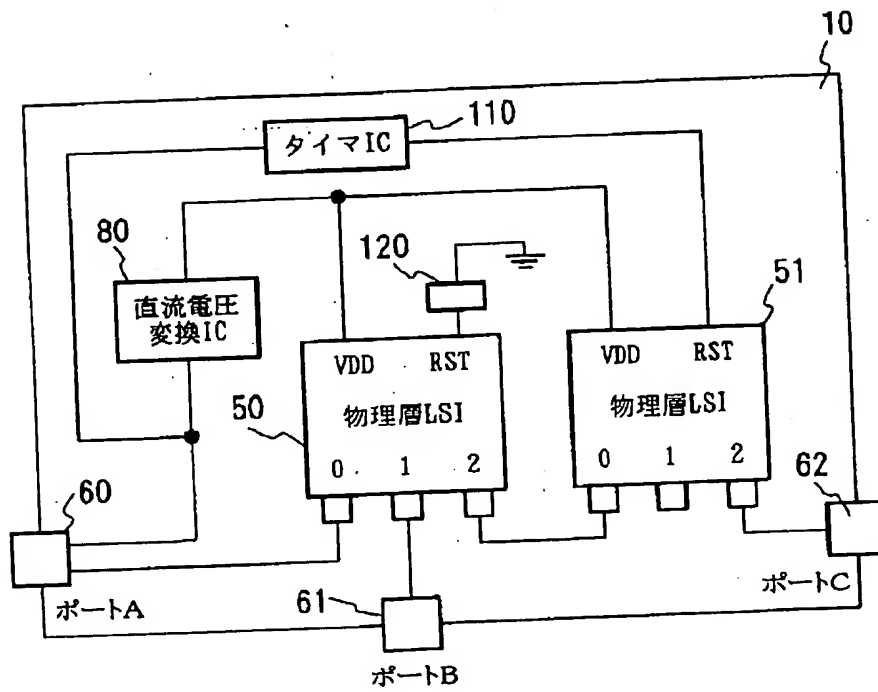


(17)

【図1】

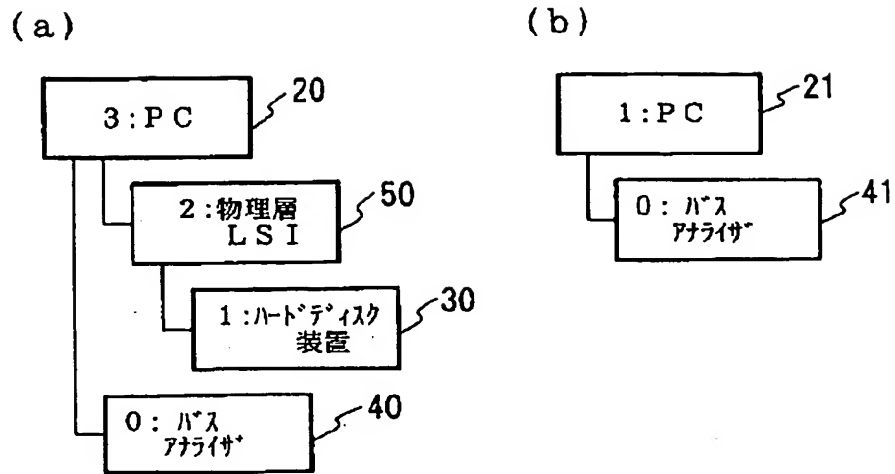


【図3】

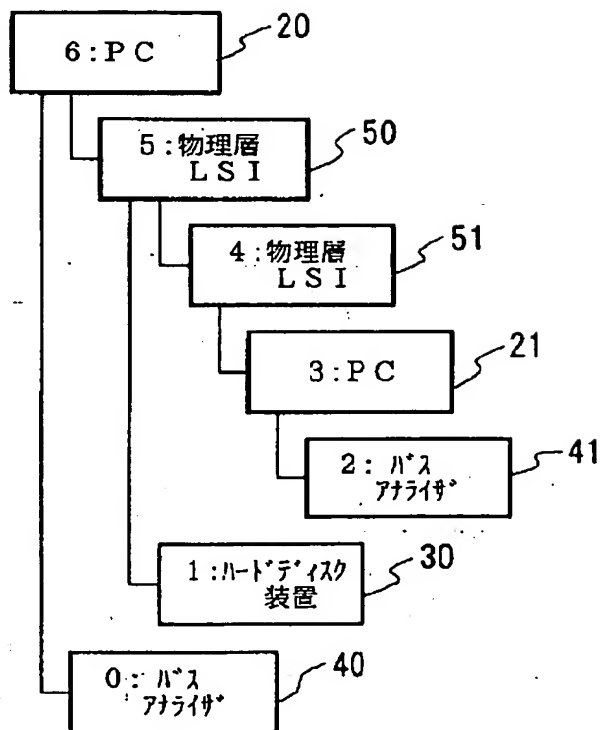


(18)

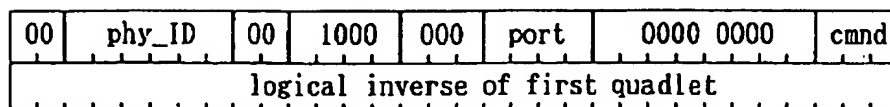
【図4】



【図5】

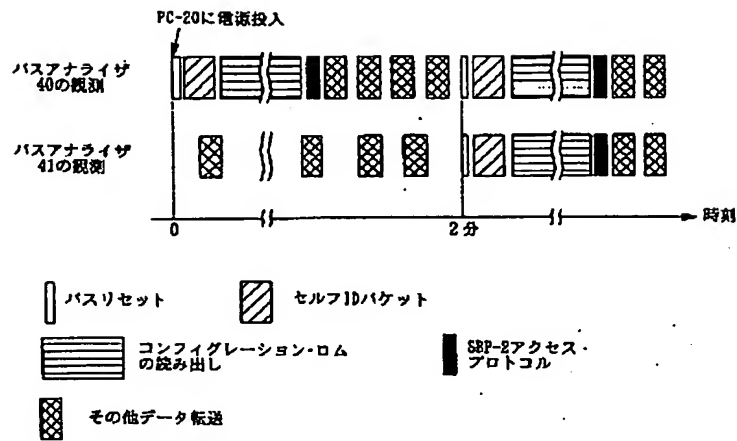


【図23】

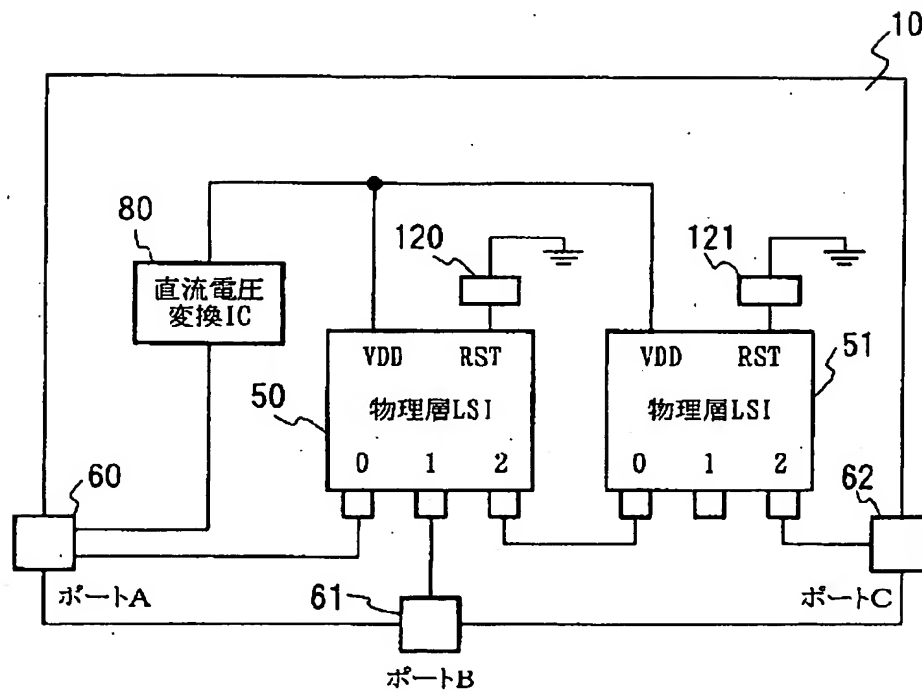


(19)

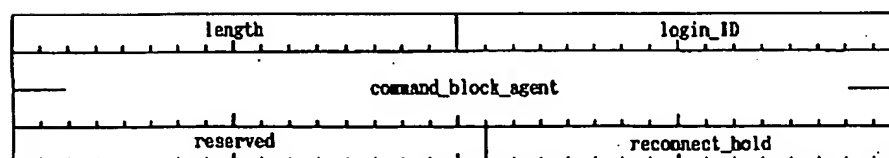
【図6】



【図7】

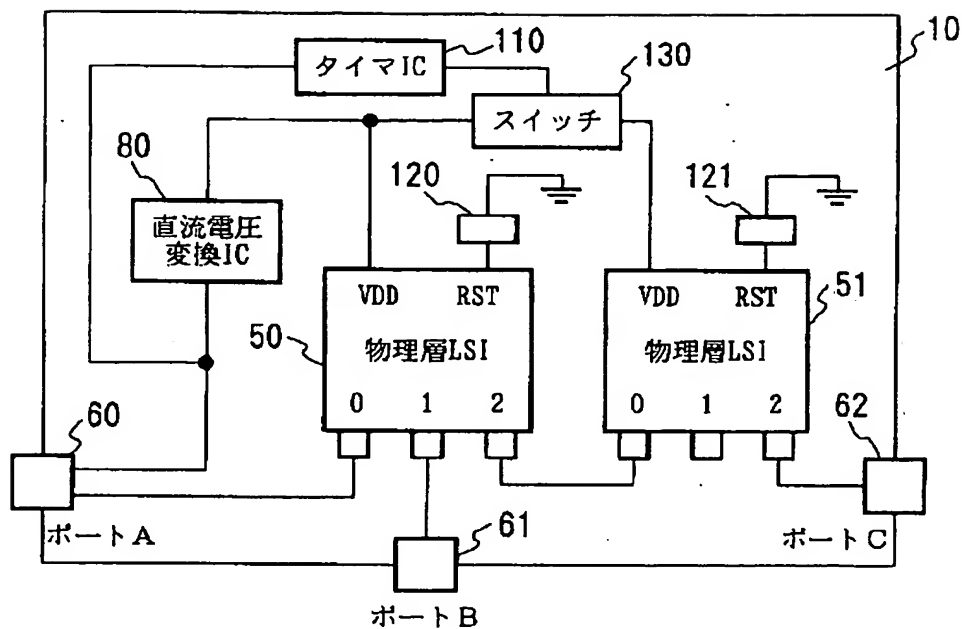


【図29】

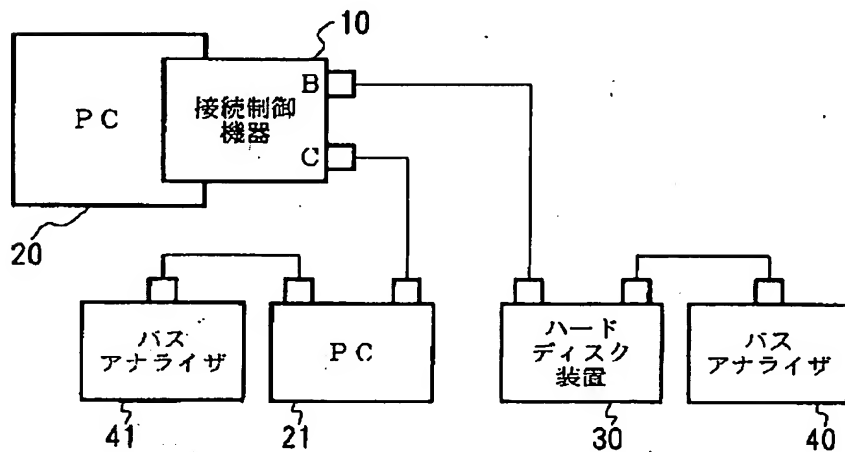


(20)

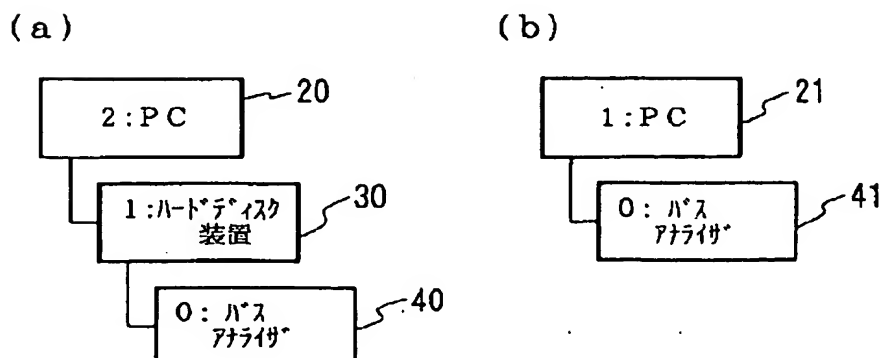
【図8】



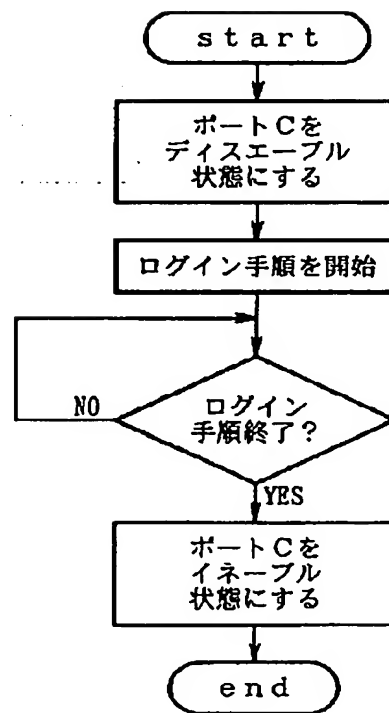
【図9】



【図11】

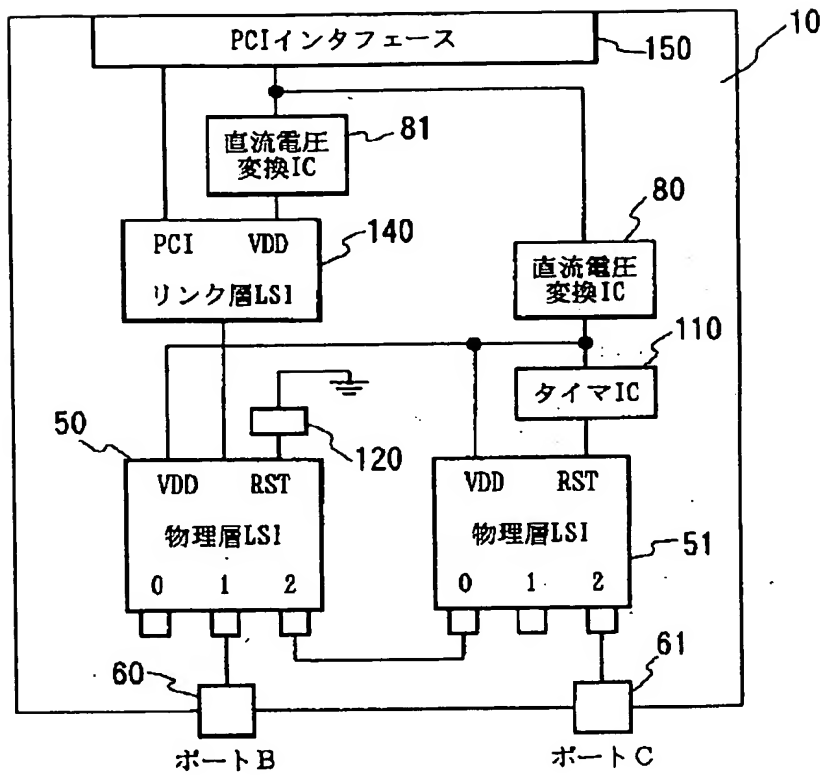


【図24】

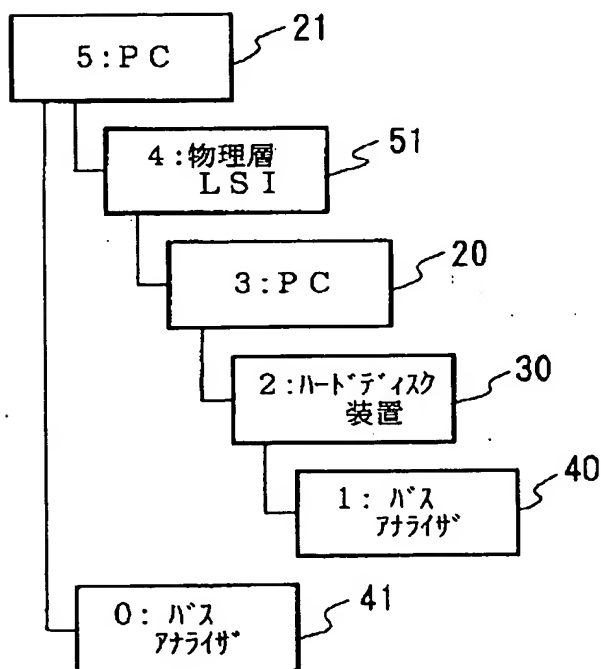


(21)

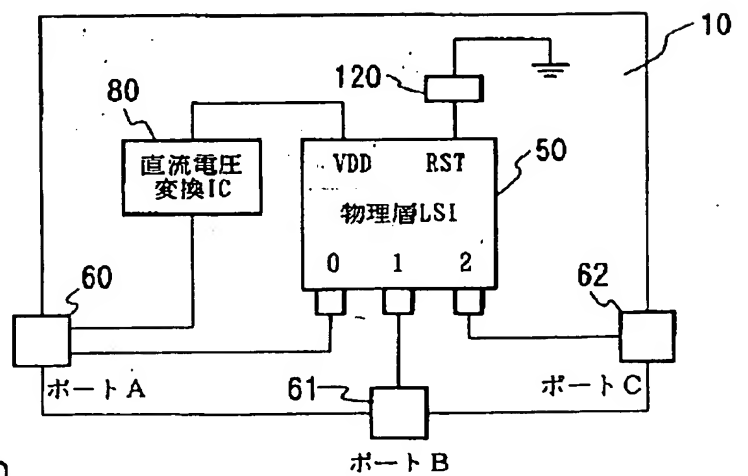
【図10】



【図12】

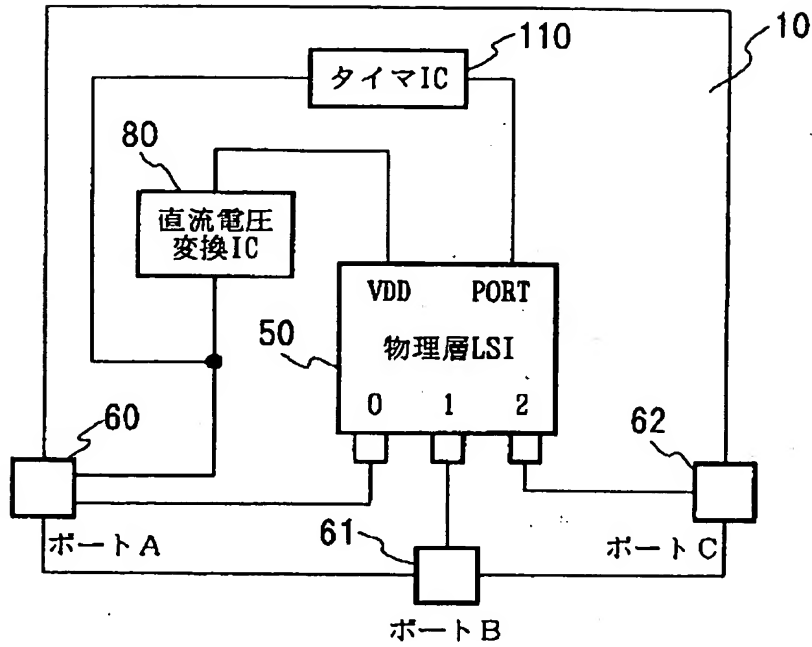


【図21】

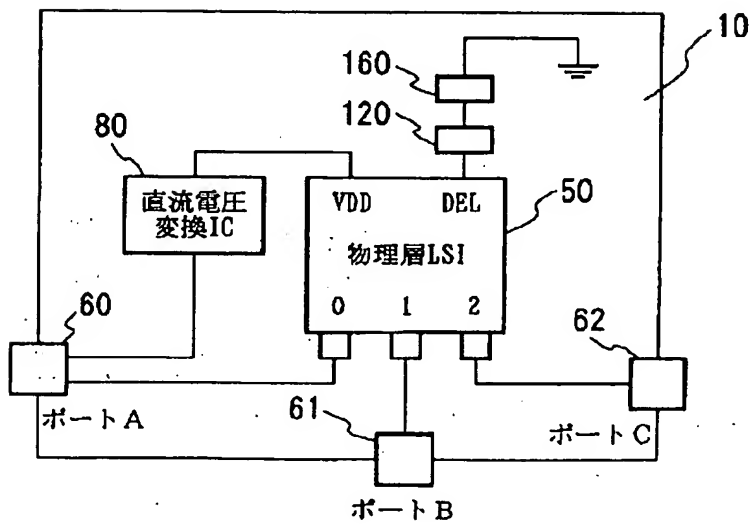


(22)

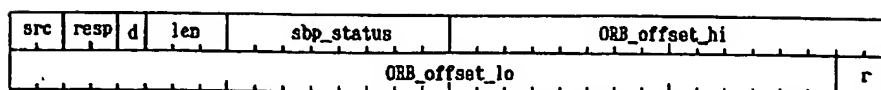
【図13】



【図14】



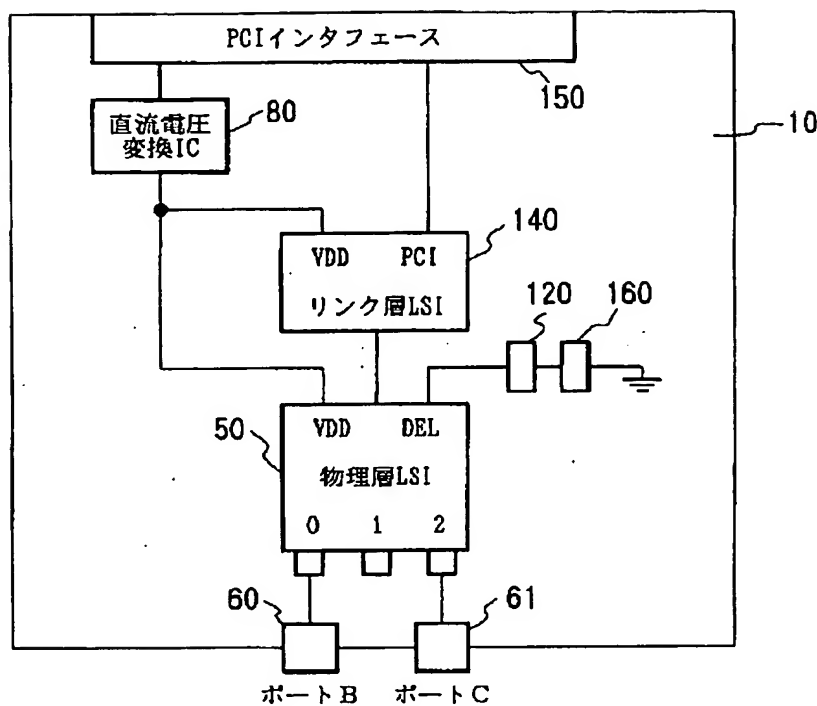
【図30】



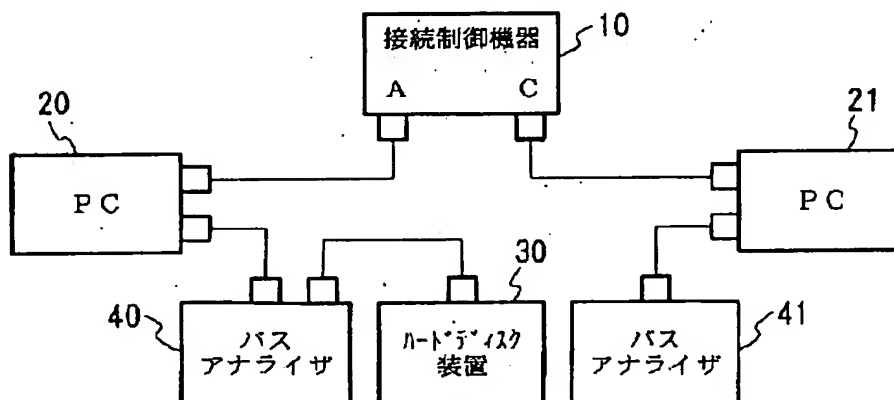


(23)

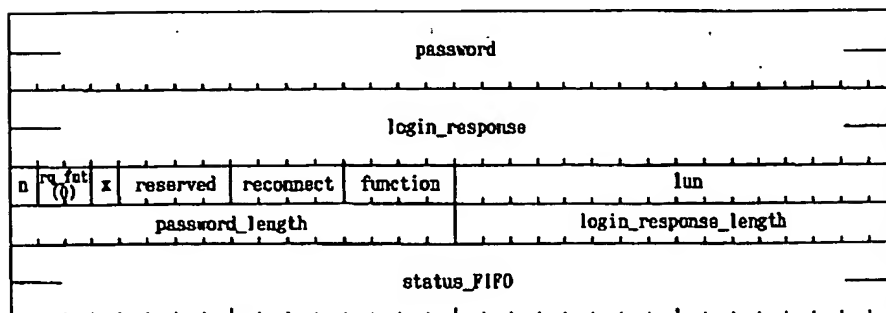
【図15】



【図16】

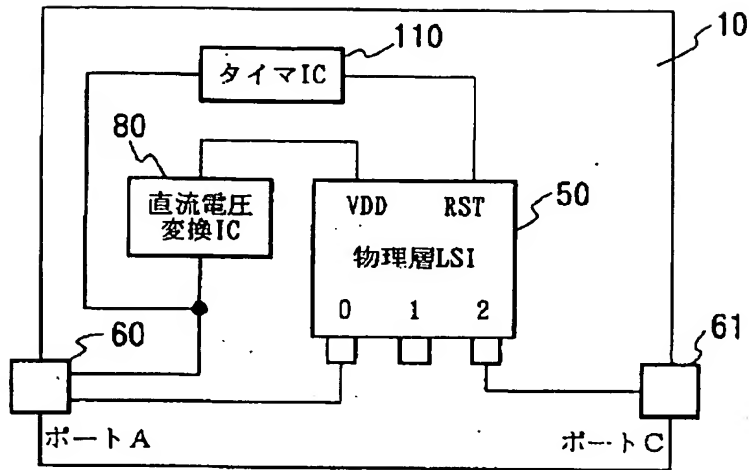


【図28】

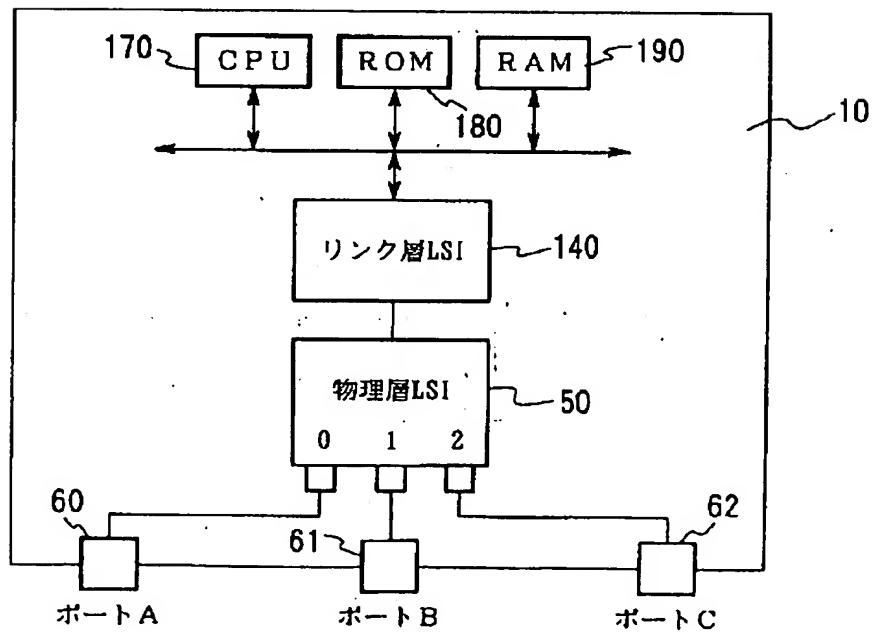


(24)

【図17】

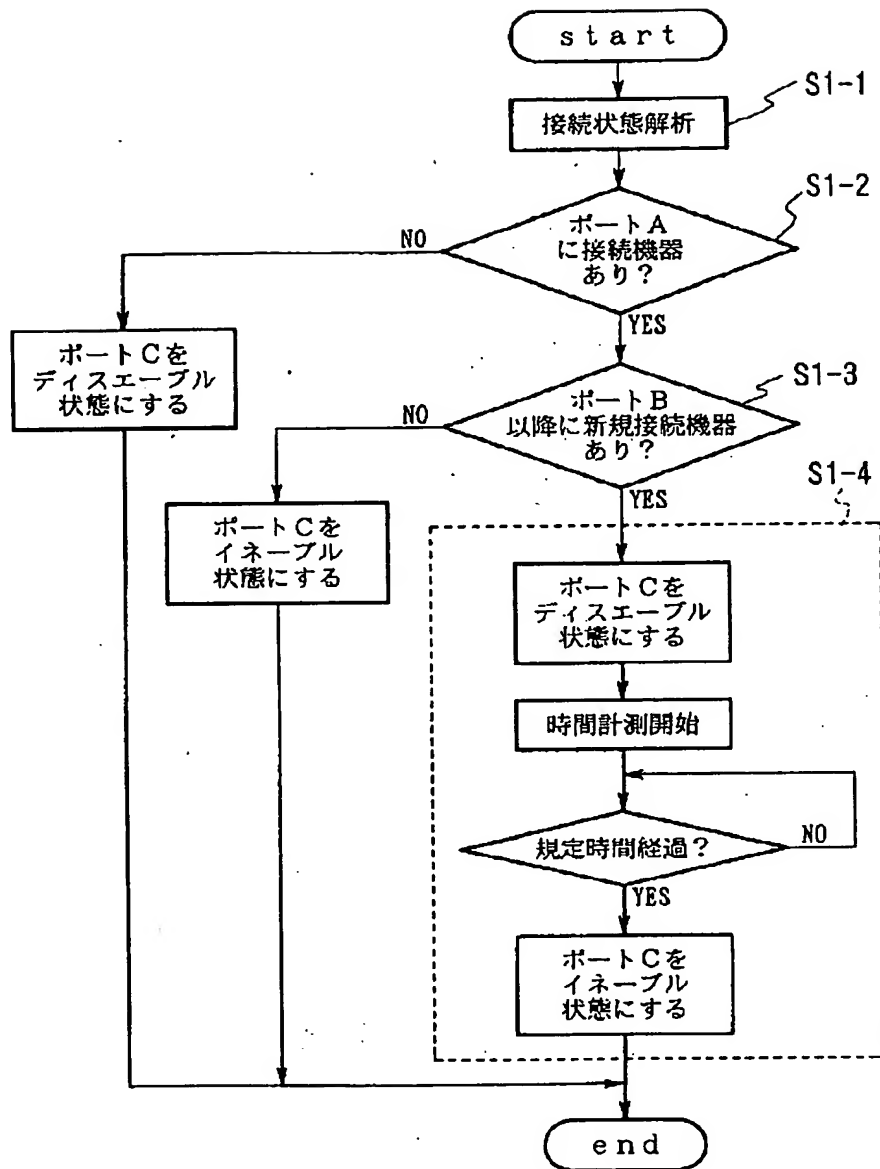


【図18】



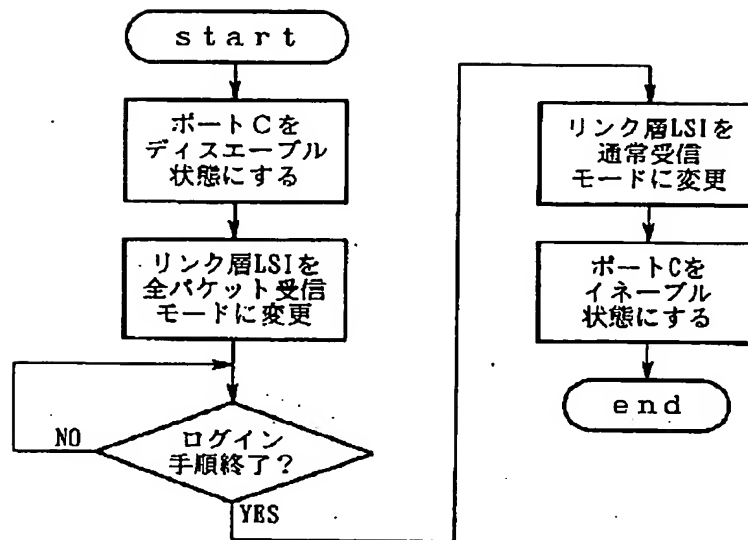
(25)

【図19】

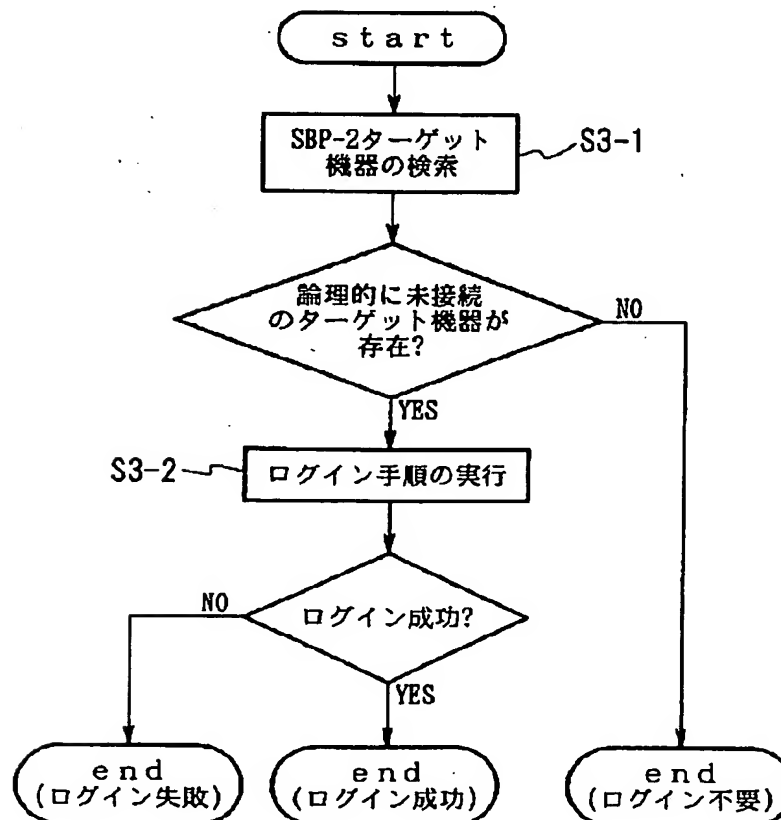


(26)

【図20】

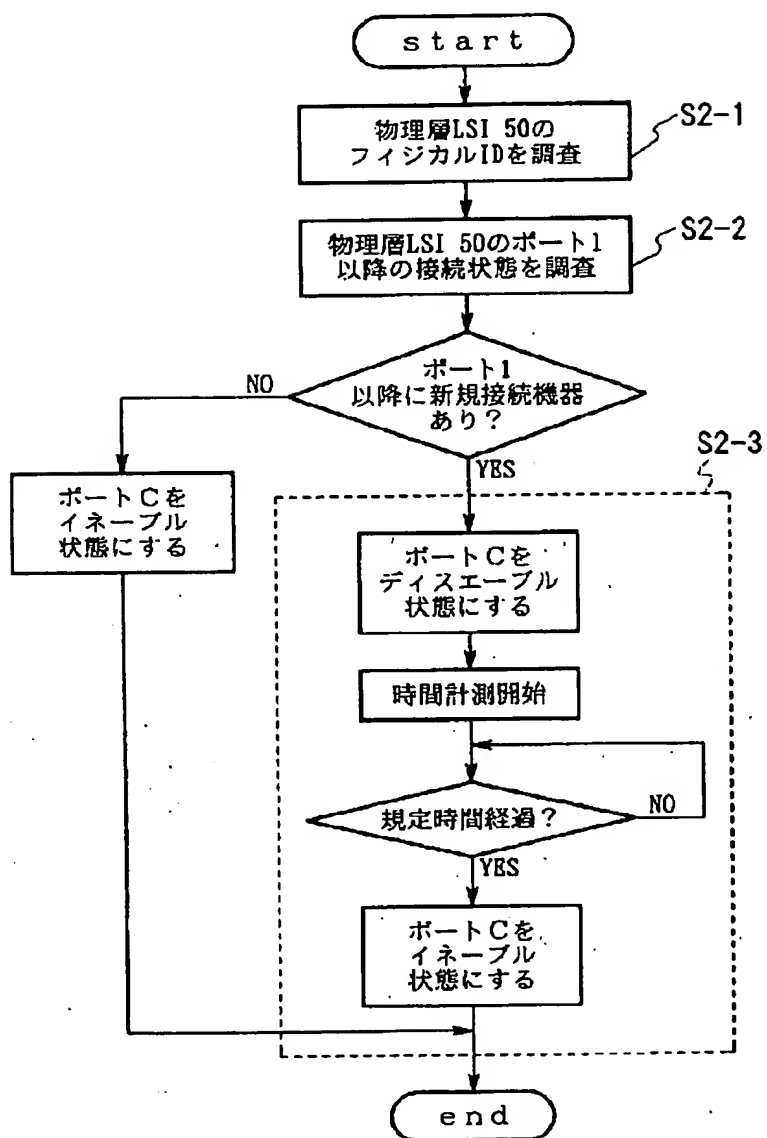


【図25】



(27)

【図22】



(28)

【図26】

Offset(Base address FFFF F000 0000<sub>16</sub>)

## Bus\_info\_block

0400 <sub>16</sub>	04 <sub>16</sub>	crc_length	rom_crc_value
0404 <sub>16</sub>	"1394"		
0408 <sub>16</sub>	12 <sub>16</sub> 08 <sub>16</sub> 12 <sub>16</sub> 08 <sub>16</sub>	rsvd.	cyc_clk_acc max_reo reserved
040C <sub>16</sub>	node_vendor_id		chip_id_hi
0410 <sub>16</sub>	chip_id_lo		

## Root\_directory

0414 <sub>16</sub>	root_length(=4)	CRC
0418 <sub>16</sub>	03 <sub>16</sub>	module_vendor_id
041C <sub>16</sub>	81 <sub>16</sub>	Text leaf offset(=11)
0420 <sub>16</sub>	0C <sub>16</sub>	node_capabilities(=00 83C0 <sub>16</sub> )
0424 <sub>16</sub>	D1 <sub>16</sub>	unit_directory offset(=1)

## Unit\_directory

0428 <sub>16</sub>	unit_directory_length(=7)	CRC
042C <sub>16</sub>	12 <sub>16</sub>	unit_spec_id(=00 609E <sub>16</sub> )
0430 <sub>16</sub>	13 <sub>16</sub>	unit_sw_version(=01 0483 <sub>16</sub> )
0434 <sub>16</sub>	38 <sub>16</sub>	command_set_spec_ID
0438 <sub>16</sub>	39 <sub>16</sub>	command_set
043C <sub>16</sub>	54 <sub>16</sub>	csr_offset(=00 4000 <sub>16</sub> )
0440 <sub>16</sub>	3A <sub>16</sub>	Unit characteristics(=00 0A08 <sub>16</sub> )
0444 <sub>16</sub>	14 <sub>16</sub>	Device type and Logical_Unit_Number(=0)

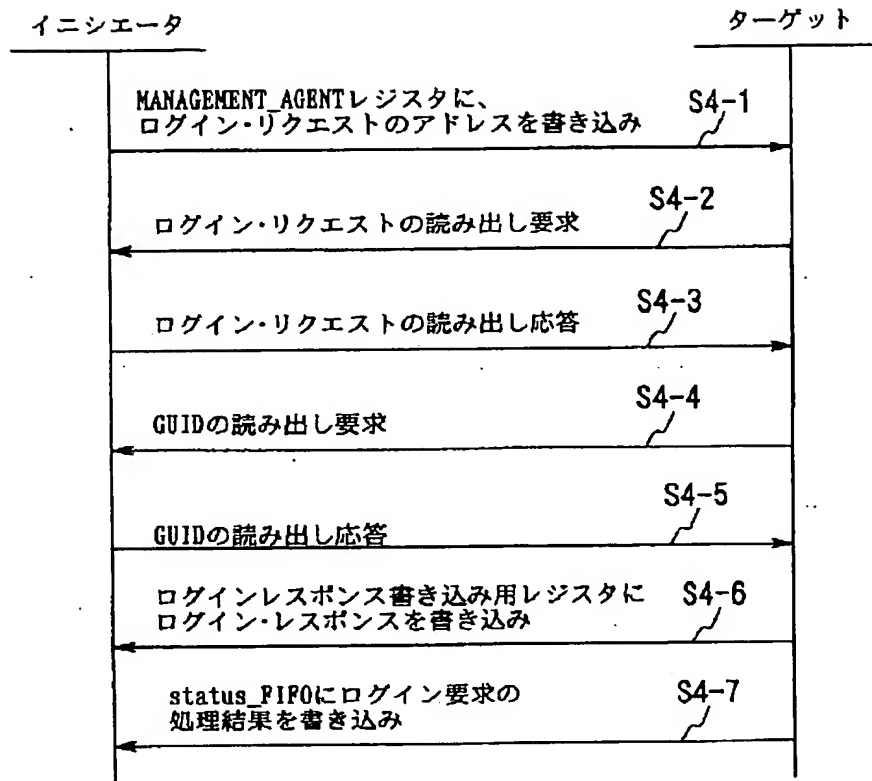
## Text leaf

0448 <sub>16</sub>	text_leaf_length	CRC
044C <sub>16</sub>	spec_type	specifier_id
0450 <sub>16</sub>	language_id	
0454 <sub>16</sub>	text data	
⋮		
⋮		

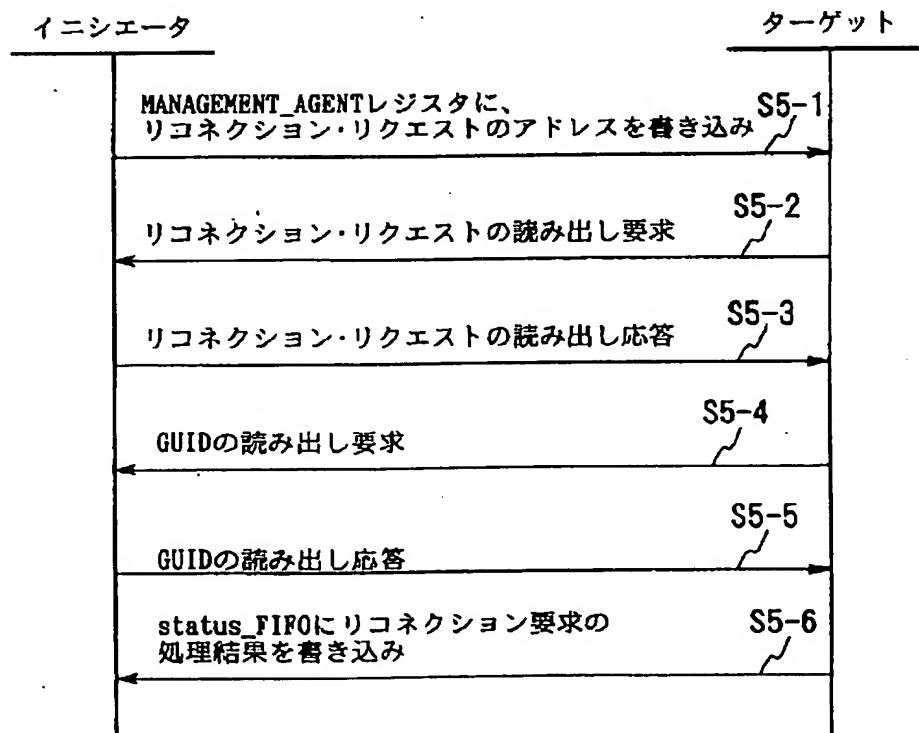


(29)

【図27】

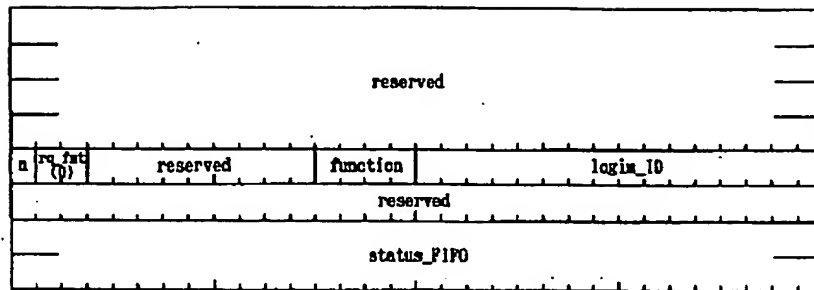


【図31】



(30)

【図32】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**